

申請案號：	收文條碼	IPC分類
申請日期：		
案由：10000		

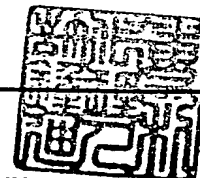
(以上各欄由本局填寫)

發明專利申請書

☒ 本案一併申請實體審查(案由24704)

主旨：申請「以倍頻相位內插進行多重相位分割之方法及相關電路」發明專利

申請人 共1人	姓名或名稱	中文	1. 威盛電子股份有限公司	簽章
		英文	1. VIA TECHNOLOGIES INC.	
	ID	1. 86870786		
	住居所 (營業所) (中文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)		
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.		
	國籍	1. 中華民國 TW		
	電話	1. (02)2218-5452		
	代表人 (中文)	1. 王雪紅	簽章	
	代表人 (英文)	1. WANG, HSUEH-HUNG		
	發明人 共1人	姓名 (中文)	1. 林有銓	
姓名 (英文)		1. LIN, ROGER		
ID		1. F122093372		
住居所 (中文)		1. 台北縣新店市中正路五三三號八樓		
住居所 (英文)		1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.		
國籍	1. 中華民國 TW			



蓋章

專利代理人共1人	姓名	1. 許鍾迪	
	ID	1. F102202302	
	地址	1. 北美國際專利事務所 台北縣永和市福和路389號5樓	
	電話	1. (02)89237350	
	證書字號	1. 台代字第4334號	

聲明事項	<input type="checkbox"/> 本案係符合專利法第二十條第一項第一款但書或 日期： <input checked="" type="checkbox"/> 主張專利法第二十四條第一項優先權： 受理該申請案之國家(地區)：1. 美國 US 申請日：1. 2002/10/10 申請案號：1. 60/417,409 <input type="checkbox"/> 主張專利法第二十五條之一第一項優先權： 申請日： 申請案號： <input type="checkbox"/> 微生物寄存於國外： 寄存國家： 寄存機構： 寄存日期： 寄存號碼： <input type="checkbox"/> 微生物寄存於國內(本局所指定之寄存機構)： 寄存機構： 寄存日期： 寄存號碼：	<input type="checkbox"/> 第二款但書規定之期間，
------	---	--------------------------------------

頁數及規費	<input checked="" type="checkbox"/> 本案說明書首頁及摘要附有英文翻譯 本案說明書及圖式合計 60 頁(說明書及圖式請依序標示頁碼) 規費共計新台幣柒仟伍佰元整
-------	---

附送書件	<input checked="" type="checkbox"/> 1、說明書一式三份(說明書(49)頁及圖式(11)圖共60 頁)。 <input checked="" type="checkbox"/> 2、必要圖式一式三份。 <input checked="" type="checkbox"/> 3、宣誓書一份。 <input checked="" type="checkbox"/> 4、申請權證明書一份(發明人與申請人非同一人)。 <input checked="" type="checkbox"/> 5、委任書或委託書一份。 <input type="checkbox"/> 6、外文說明書一式三份。 <input checked="" type="checkbox"/> 7、主張專利法第二十四條第一項優先權者，優先權證明文件正本及首頁影本各一份。 <input type="checkbox"/> 8、如為有影響國家安全之虞之申請案，其證明文件正本一份 <input type="checkbox"/> 9、有關微生物之申請案： <input type="checkbox"/> 9-1 國外寄存機構出具之證明文件正本一份。 <input type="checkbox"/> 9-2 國內寄存機構出具之證明文件正本一份。 <input type="checkbox"/> 9-3 熟習該項技術者易於獲得之證明文件一份。 <input type="checkbox"/> 10、主張專利法第二十條第一項第一款但書之證明文件一份。 <input type="checkbox"/> 10-1、主張專利法第二十條第一項第二款但書之證明文件一份。 <input type="checkbox"/> 11、主張專利法第二十五條之一第一項優先權者，先申請案說明書及圖式一份。
------	---



申請專利宣誓書

茲謹宣誓：本案申請專利之「以倍頻相位內插進行多重相位分割之方法及相關電路」確系宣誓人所發明，倘有冒充、抄襲、模仿、影射或其他不實情形，願受法律之懲罰。

謹誓

宣誓人姓名：(共 1 名)

1. 林有銓

林有銓

簽章

住居所

:

1. 台北縣新店市中正路五三三號八樓

中華民國 九十一 年 十 月 二十二 日

專利申請權證明書

F#NPO-P0002C-TW
DS2002CU0006125

發明人（創作人）『林有銓』所發明（創作）之『以倍頻相位內插進行多重相位分割之方法及相關電路』乙案確屬職務上之發明（創作），爰依專利法之規定，本案之申請權應歸屬於雇用發明人（創作人）之左列申請權人所有，並由左列申請權人全權申請專利，確實無訛，特立據為證。

此證

發明人：林有銓

林有銓

地址：台北縣新店市中正路五三三號八樓

申請權人：威盛電子股份有限公司

代表人：王雪紅

地址：台北縣新店市中正路五三五號八樓

中華民國九十一年十二月二十二日

通用委任狀（正本卷存於〇三〇八〇號內）

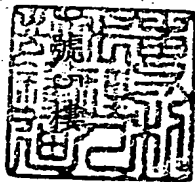
受任人：許鍾迪

茲委任受任人為本公司在中華民國之代理人，有代為申請、撤回、捨棄、變更、補正、辯駁、讓與（移轉）及其他有關專利、商標或著作權事項之必要行為，對於核駁之審定請求再審查，提出異議或舉發（評定）及就此事項代為答辯，提起或撤回許願，再訴願或行政訴訟，代收有關一切書證或物件，辦理中華民國專利法、商標、著作權法，及其他法令所定於關專利、商標或著作權之一切程序之權，及有在中華民國境內代為保障本件權益之一切行為之權。

謹呈

智慧財產局
經濟部
行政院
行政院

委任人：威盛電子股份有限公司
地址：台北縣新店市中正路53號3樓
代表人：王雪紅
受任人：許鍾迪
事務所：北美國際專利事務所
地址：台北縣永和市福和路88號



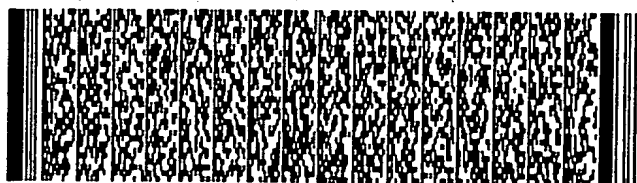
中華民國九十一年四月廿六日

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	以倍頻相位內插進行多重相位分割之方法及相關電路
	英 文	Method And Related Circuitry For Multiple Phase Splitting By Phase Interpolation
二、 發明人 (共1人)	姓 名 (中文)	1. 林有銓
	姓 名 (英文)	1. LIN, ROGER
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA TECHNOLOGIES INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. WANG, HSUEH-HUNG

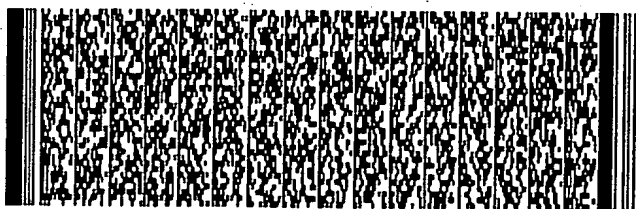


四、中文發明摘要 (發明名稱：以倍頻相位內插進行多重相位分割之方法及相關電路)

本發明提供一種多重相位分割的方法及相關電路。該方法包括：當要產生頻率同為 f 之 M 個不同相位之輸出時脈時，產生 N 個頻率同為 $(M/N)*f$ 的不同相位之參考時脈 (其中 $M > N$)，再由每一參考時脈不同週期開始觸發 (N/M) 之除頻，以便於每一參考時脈中產生出 (M/N) 個不同相位之輸出時脈，最後由 N 個參考時脈中產生出該 M 個不同相位之輸出時脈。

五、英文發明摘要 (發明名稱：Method And Related Circuitry For Multiple Phase Splitting By Phase Interpolation)

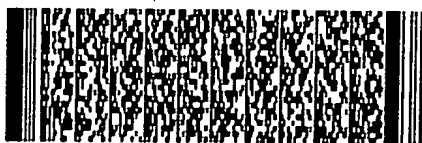
A method and related circuitry for multiple phase splitting. The method includes: while generating M output clocks with a same frequency f_1 and different phases, generating N reference clocks with a same frequency $(M/N)*f_1$ and different phases (wherein $M > N$), and triggering (N/M) frequency division using different periods within each reference clock to generate (M/N) output



四、中文發明摘要 (發明名稱：以倍頻相位內插進行多重相位分割之方法及相關電路)

五、英文發明摘要 (發明名稱：Method And Related Circuitry For Multiple Phase Splitting By Phase Interpolation)

clocks of different phases for each reference clock, such that the M output clocks of different phases are generated from the N reference clocks of different phases.



六、指定代表圖

(一)、本案代表圖為：第 ____ 五 ____ 圖

(二)、本案代表圖之元件代表符號簡單說明：

20 多重相位產生電路	22 反相器
24 時脈產生器	26 切波器
28 相位內插器	30 序向觸發模組
32 除頻模組	A0-A15 輸出時脈
CKs 標準時脈	f0-f7 參考時脈
div2-div3 除頻器	VC0 震盪器
PD 偵測器	CP 充電電路
LPF 低通濾波器	y0-y15 中介時脈
R0-R3 重設訊號	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2002/10/10

60/417,409

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



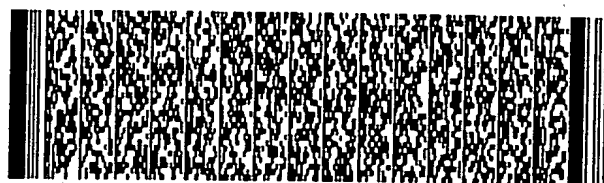
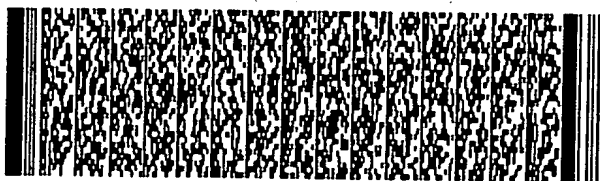
五、發明說明 (1)

【技術領域】

本發明係提供一種相位分割的方法及相關電路，尤指一種以倍頻多相位參考時脈進行相位內插來完成相位分割之方法及相關電路。

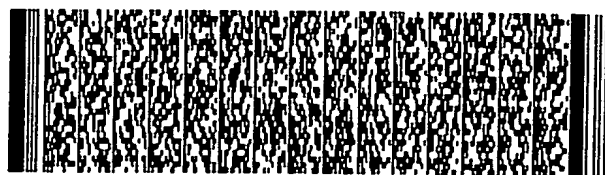
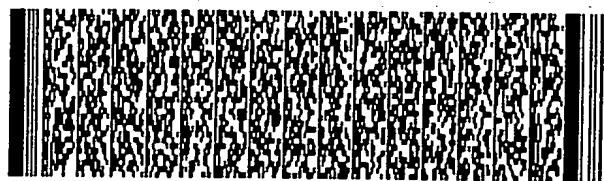
【先前技術】

在現代資訊社會中，各種用來處理、儲存數據情報的電子裝置也要以更快的速度、更高的密度及集積度來處理電子資料，連帶地，各種電子裝置中電路控制、運行之精密密度也要隨之提高。舉例來說，在光碟燒錄機中，由於要將資料準確地燒錄至資料儲存密度極高的光碟片上，對光碟機資料寫入動作的時序控制也要能精確掌握。在光碟機以其讀取頭向光碟片收發雷射光以進行資料存取時，雖然光碟機可由光碟片轉動時反射回來的雷射解析出一時脈作為資料寫入/存取時時序同步控制的依據，光碟機還是要在一時脈週期中細分出多個不同的同步時間點，以精確控制資料寫入/存取的時機。另外，像是時間數位轉換器 (TDC, time-to-digital converter) 或是時間延遲校正電路，也需要以不同相位的同頻時脈來於一時脈週期中細分出數個不同的同步時間點。因此，能精密分割出多個不同相位同頻時脈的多重相位產生電路，也成為現代時序控制電路中不可或缺的構築電路之一。



五、發明說明 (2)

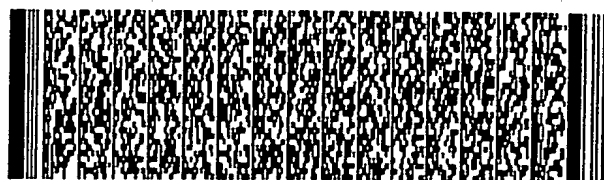
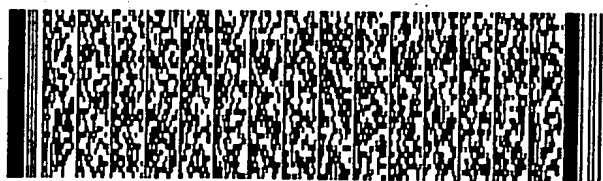
在習知技術中，可以使用環式震盪器 (ring oscillator) 中各級反相器之輸出來提供多個不同相位之同頻時脈。為了使技術討論更為具體，以下將假設吾人要產生 16 個同頻異相的時脈，各時脈的相位差平均分佈於 360 度中。在習知技術中，若要以環式震盪器來產生 16 個同頻異相的時脈，環式震盪器中就要設置 8 個差動操作之反相器，集合各反相器互為反相的兩個輸出端所產生的輸出，總共取出 16 個同頻異相的時脈。請參考圖一；圖一所示的，即為一環式震盪器 10 基本電路架構之示意圖。要以震盪器 10 來產生 16 個同頻異相之輸出時脈，震盪器 10 即設有 8 個環狀串連的反相器 12A 至 12H；各反相器具有兩差動輸入端及兩差動輸出端。舉例來說，反相器 12A 由其兩差動輸入端接收反相器 12H 在差動輸出端互為反相的輸出，而反相器 12A 兩互為反相之輸出則由其差動輸出端輸入至反相器 12B 的差動輸入端，以此類推。集合各反相器 12A 至 12H 各差動輸出端的輸出，就能形成 16 個同頻異相的輸出時脈 A 至 H、Ai 至 Hi。就如圖一中所標示的，反相器 12A 兩互為反相的差動輸出端可分別產生輸出時脈 B 及 Bi、反相器 12B 則可產生輸出時脈 C 及 Ci，以此類推；反相器 12H 則產生出輸出時脈 A 及 Ai。以輸出時脈 A 為相位 0 度之基準，圖一中也標示出各輸出時脈相對於輸出時脈 A 的相位差。舉例來說，因為輸出時脈 A、Ai 是由反相器 12H 的差動輸出端輸出的，故輸出時脈 Ai 與輸出時脈 A 間有 180 度的相位



五、發明說明 (3)

差。同理，輸出時脈 C 與輸出時脈 A 之間有 45 度的相位差，而反相輸出時脈 Ci 與輸出時脈 A 之間的相位差就會加上額外的 180 度，成為 225 度。輸出時脈 H、Hi 則分別與輸出時脈 A 之間有 337.5 度、157.5 度的相位差，以此類推。

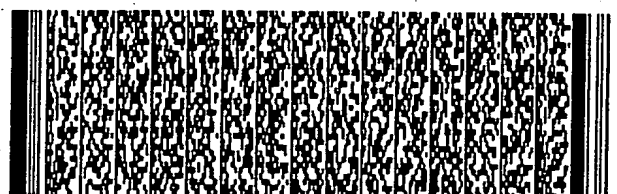
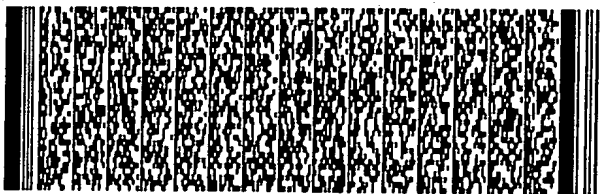
請參考圖二（並一併參考圖一）。圖二即為圖一中各輸出時脈 A 至 H、Ai 至 Hi 波形時序之示意圖；圖二之橫軸為時間，各波形之縱軸為波形之大小。在環式震盪器中，各反相器會將其輸入端的訊號延遲一段時間後反相輸出；串連各級反相器，就能在各級反相器的輸出端取出週期震盪的輸出時脈。舉例來說，在圖二中，輸出時脈 A 在時點 tp_0 由高位準降低為低位準（輸出時脈 Ai 則在時點 tp_0 由低位準反相升高為高位準）；輸出時脈 A、Ai 在輸入反相器 12A 後，經過反相器 12A 延遲後的反相輸出，就會使輸出時脈 B 在時點 $tp_0 + T_g$ 由低位準升高為高位準（而時脈 Bi 則會由高位準反相降低為低位準）；其中延遲時間 T_g 就代表反相器 12A 引入的延遲。同理，輸出時脈 B、Bi 在時點 $tp_0 + T_g$ 之位準改變在經過反相器 12B 的延遲反相後，就會在時點 $tp_0 + 2T_g$ 觸發時脈 C、Ci 之位準改變（此處假設各反相器均為相同，故各反相器的延遲時間均為 T_g ）。如此一直持續下去，反相器 12G 會觸發時脈 H、Hi 在時點 $tp_0 + 7T_g$ 改變位準，反相器 12H 則會循著環狀架構，回過頭來觸發時脈 A、Ai 在時點 $tp_0 + 8T_g$ 改變位準，並引發訊號的震盪。換句話說，總結各反相器的總延遲時間 $8T_g$ ，就相當於一輸出時



五、發明說明 (4)

脈中半週期的時間。改變各反相器的延遲時間 T_g ，就能改變各輸出時脈的週期與頻率。也由於 $8T_g$ 的延遲時間相當於輸出時脈中的半週期，一段延遲時間 T_g 就相當於 22.5° 的相位差。舉例來說，在反相器 12A 中，輸出時脈 A 加上延遲時間 (22.5°) 後反相 (180° 相位差) 輸出的時脈 B，就會和輸出時脈 A 有 202.5° ($22.5+180$) 的相位差。請繼續參考圖三。圖三和圖二一樣，都是圖一中輸出時脈 A 至 H、 A_i 至 H_i 的波形時序圖，圖三之橫軸亦為時間，各波形之縱軸代表波形大小。不過，圖三中是按照各輸出時脈相對於輸出時脈 A 的相位差大小依序排列的。由圖三中可看出，以輸出時脈 A 的上升緣為準 (像是在時點 $tp1$ 的上升緣)，各時脈後續的上升緣 (像輸出時脈 B_i 、C、H 分別在時點 $tp1+T_g$ 、 $tp1+2T_g$ 以及 $tp1+15T_g$ 的上升緣) 就可將輸出時脈中一週期的時間均分為 16 等分，以用於精密時序控制或時間數位轉換器等之應用。而上述的時間等分均分，也就相當於對 360° 之相位進行平均的相位分割。

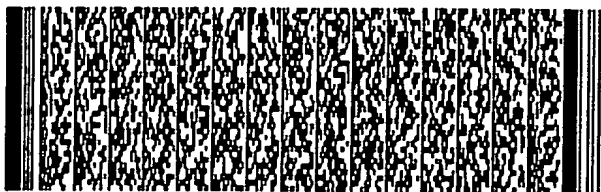
雖然習知技術中能以環式震盪器之多級反相器來產生多個同頻異相之輸出時脈，但此種習知技術也有一定的缺點。首先，要產生出多個同頻異相之輸出時脈，環式震盪器中必定要串連多個反相器；但其環狀架構上的反相器越多，各反相器相互間不匹配的情形也會變得更嚴重，而各反相器引入的雜訊 (像是各反相器本身的熱雜訊) 也越多。由於環式震盪器環狀架構本身就是一個不穩定的回授



五、發明說明 (5)

系統，此環狀架構中任何一個反相器引入的雜訊都會在環狀架構中傳播；反相器的數目越多，引入雜訊的機會及對電路之影響也就隨之增加。上述的雜訊及不匹配，會在各輸出時脈中反應為訊號抖動 (jitter)，或是相位上的誤差。關於此情形，請參考圖四。圖四為圖一中各輸出波形在非理想情況下波形時序之示意圖；圖四之橫軸為時間，各波形之縱軸為波形之大小。假設在輸出時脈 A 中有訊號抖動時，輸出時脈 A 中各週期的工作週期 (duty cycle) 就會不穩定，不會呈現理想的工作週期。舉例來說，輸出時脈 A 由時點 $tp3$ 到時點 $tp4$ 的週期 $Tp1$ 中，工作週期是理想的 50%，高位準的訊號剛好延續 180 度的相位。但在訊號抖動的影響下，輸出時脈 A 在時點 $tp4$ 、 $tp5$ 間的週期 $Tp2$ ，其工作週期就可能變大，高位準的訊號佔據 185 度的相位。在下一個週期，訊號抖動可能又會使工作週期變小，讓高位準訊號僅延續 176 度的相位。除了工作週期的不穩定外，各輸出時脈的週期也可能受影響；舉例來說，時點 $tp3$ 、 $tp4$ 之間的週期 $Tp1$ ，就可能與時點 $tp4$ 、 $tp5$ 間的週期 $Tp2$ 時間長度相異，而不能維持穩定的週期。

另外，由於環式震盪器中會交錯地以各訊號的正負緣來觸發次級反相器之位準改變，一旦一輸出時脈的工作週期不穩定，連帶地各輸出時脈間的相位差也會漂移而不穩定。如圖四所示，輸出時脈 A 在時點 $tp3$ 、 $tp4$ 的上升緣會觸發輸出時脈 B 在延遲時間 Tg (相當於 22.5 度之相位差)



五、發明說明 (6)

後的下降緣，輸出時脈 B 的下降緣又觸發輸出時脈 C 中在延遲時間 T_g (相當於 45 度之相位差) 後的上升緣；即使輸出時脈 A 在週期 T_{p2} 中無法維持理想的工作週期，輸出時脈 C 各週期之上升緣仍能和輸出時脈 A 各週期之上升緣維持 45 度的相位差 (相當與 $2T_g$ 的延遲時間)。然而，輸出時脈 B 的上升緣是由輸出時脈 A 在時點 $tp3b$ 、 $tp4b$ 的下降緣所觸發的，由於輸出時脈 A 在週期 T_{p1} 、 T_{p2} 中的工作週期不穩定，對應地，輸出時脈 A 之下降緣發生的時間也不穩定；連帶地使輸出時脈 B 的與輸出時脈 A 間的相位差不能維持穩定。就如圖四中所示，輸出時脈 B 在時點 $tp3$ 後的第一個上升緣會因為輸出時脈 A 在週期 T_{p1} 中理想的工作週期，而與輸出時脈 A 在時點 $tp3$ 的上升緣維持理想的 202.5 度相位差；然而，到了輸出時脈 B 的第二個上升緣，由於輸出時脈 A 在週期 T_{p2} 中上升、下降緣之間的工作週期變大，連帶地使輸出時脈 A、B 在時點 $tp4$ 後的兩個連續上升緣間之相位差擴大為 207.5 度。同理，輸出時脈 A、B 在時點 $tp5$ 後上升、下降緣間之相位差也會因輸出時脈 A 在第三個週期中變小的工作週期而縮小為 198.5 度。換句話說，因為一輸出時脈中的工作週期不穩定，各輸出時脈上升緣間的相位差也無法維持穩定；這樣一來，各時脈的上升緣就不能如圖三中所示地正確地均分一週期，也就無法用於時序之精確控制。應用於時間數位轉換器時，上述相位差不精確的情形就會反映為非線性的誤差，導致時間數位轉換器無法正確運作。



五、發明說明 (7)

再者，由於環式震盪器中各輸出時脈之週期就正比於各反相器延遲時間之總和，若要產生多個同頻異相之輸出時脈，就要使用多個反相器，連帶地，其產生出來的輸出時脈，也會具有較長的週期。在現代高運作時脈的趨勢下，時脈之週期也會隨之縮短；所以，以多級反相器實現出來的環式震盪器，就較難符合短時脈週期之要求。若一定要縮短時脈週期，環式震盪器就必需要以更高的功率來驅動各反相器快速地轉換訊號位準以期減少延遲時間 T_g ，但這又會增加功率需求以及整體電路的負擔。

【內容】

因此，本發明之主要目的在於提供一種能以數位相位內插器輔助環式震盪器，來產生多個同頻異相時脈之相位分割方法及相關電路，以克服習知技術的缺點。

在習知技術中，是以環式震盪器的多級反相器來分別產生同頻異相的多個輸出時脈，需要較多級數的反相器，容易造成對環式震盪器環狀結構回路之干擾，導致訊號抖動、相位分割失準等負面影響，也會增加電路運作、功率上的負擔。

在本發明中，則可以用數目較少的反相器產生數目較

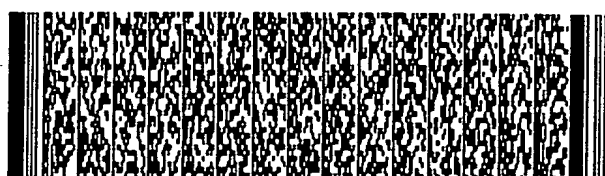
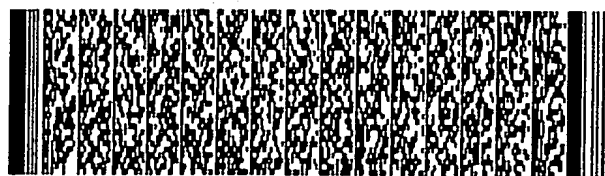


五、發明說明 (8)

少的同頻異相之參考時脈，再於一數位式的相位內插器中利用各參考時脈中不同的週期來觸發除頻，以產生出不同相位的輸出時脈，達成相位分割的目的。舉例來說，若要相位分割出16個同頻異相之時脈，習知技術要以8級反相器之環式震盪器來實現，本發明則可使用4級反相器之環式震盪器來產生2倍頻的8個參考時脈，再利用相位內插器來除頻產生16個輸出時脈，達到16相位分割的目的。由於本發明中可使用反相器較少的環式震盪器，能有效減少對環式震盪器環式結構回路之干擾，並減少訊號抖動、相位分割失準之負面影響，也能減少電路運作、功率上的負擔。而本發明中的相位內插器係一致地以參考時脈之上升緣來觸發各輸出時脈，使各輸出時脈間上升緣的相位差能維持理想值，不易受工作週期失真之影響。

【實施方法】

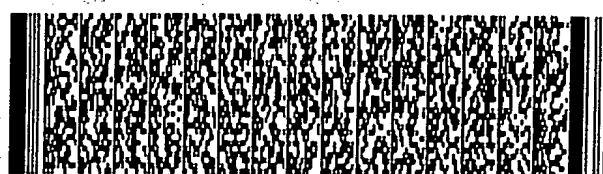
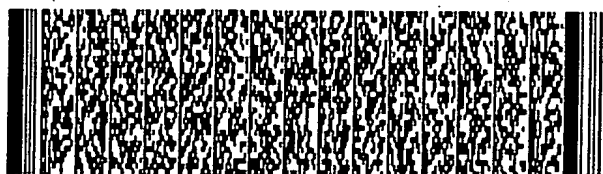
請參考圖五。圖五為本發明多重相位產生電路20功能方塊之示意圖。多重相位產生電路20即用來產生多個同頻異相之輸出時脈，以實現相位分割，並能應用於精密時序控制及時間數位轉換器。多重相位產生電路20中設有一時脈產生器24、一切波器(slicer)26、一相位內插器28。當多重相位產生電路20要產生某一頻率同頻異相之複數個輸出時脈時，會先以時脈產生器24來產生同頻異相之參考時脈，而這些參考時脈之頻率均倍於輸出時脈的頻率。這些



五、發明說明 (9)

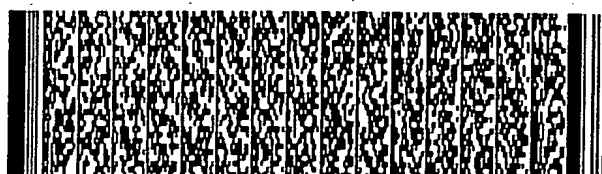
參考時脈會經過切波器 26 做波形修整，波形修整後的參考時脈就會被輸入至相位內插器 28 中，最後產生出相位分割後的多個同頻異相之輸出時脈。

為了要更具體的描述本發明之技術，並方便和前述習知技術之比較，以下將假設多重相位產生器 20 同樣用來產生 16 個同頻異相之輸出時脈 A0 至 A15。要產生 16 個同頻異相之輸出時脈，本發明可於時脈產生器 24 中先產生 8 個同頻異相之參考時脈 fa0 至 fa7，這些參考時脈 fa0 至 fa7 之頻率皆為各輸出時脈 A0 至 A15 頻率之兩倍。由於時脈產生器 24 產生出來的參考時脈 fa0 至 fa7 可能有波形位準上的偏差（像是波形振幅未及於數位訊號中代表數位「0」、「1」的標準低位準及高位準），切波器 26 即用來將參考時脈 fa0 至 fa7 做適當的波形、位準調整，使這些參考時脈的位準符合標準數位訊號之位準，成為參考時脈 f0 至 f7，並輸出至相位內插器 28。由於參考時脈 f0 至 f7 為輸出時脈 A0 至 A15 二倍頻之時脈，利用各同頻異相參考時脈 f0 至 f7 中不同週期來觸發除頻，就能產生出輸出時脈 A0 至 A15。為了要正確地以各參考時脈 f0 至 f7 之不同週期來觸發除頻，相位內插器 28 中設有一序向觸發模組 30，可根據各參考時脈 f0 至 f7 的不同週期來產生序向控制的重設訊號 R0 至 R3 以及中介時脈 y0 到 y15，而除頻模組 32 就能依據這些重設訊號 R0 至 R3 來正確地對各中介時脈 y0 至 y15 除頻，最後分別產生出 16 個相位分割之輸出時脈 A0 至 A15。



五、發明說明 (10)

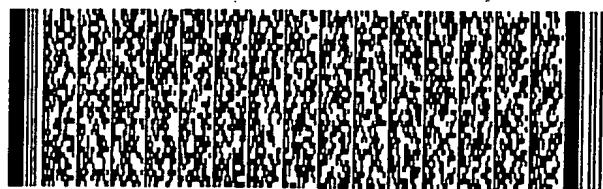
要以時脈產生器 24 來產生 8 個同頻異相之參考時脈 fa0 至 fa7，時脈產生器 24 中可設置一環式震盪器 VCO，並於此環式震盪器 VCO 中設置 4 個差動反相器 22；如此就能由各差動反相器 22 之差動輸出端取出參考時脈 fa0 至 fa7。要使參考時脈 fa0 至 fa7 的頻率穩定，時脈產生器 24 中設置有一鎖相回路；此鎖相回路中設有兩除頻器 div1 及 div2、一用來偵測頻率及 / 或相位誤差的偵測器 PD、一充電電路 CP (charge pump)、一低通濾波器 LPF，以配合震盪器 VCO 經由除頻器 div2 回饋至偵測器 PD 的訊號（舉例來說，可以是參考時脈 fa0），形成一鎖相回路。此鎖相回路可根據一標準頻率之標準時脈 CKs 來進行對各參考時脈 fa0 至 fa7 之頻率鎖定。標準時脈 CKs 經過除頻器 div3 除頻後之訊號，與參考時脈 fa0 經過除頻器 div2 除頻後之訊號，會一起輸入至偵測器 PD，由偵測器 PD 偵測這兩個訊號間頻率、相位間的誤差，並根據誤差大小來控制充電電路 CP 及低通濾波器 LPF，以將誤差大小轉換為對應的電壓訊號，並回饋控制震盪器 VCO 中的各個反相器 22，來對應地調整各參考時脈 fa0 至 fa7 的頻率（也就是調整各反相器 22 的延遲時間）。各參考時脈頻率調整後又會經由除頻器 div2 回輸至偵測器 PD，再度和（除頻後）的標準時脈 CKs 進行相位、頻率的比對。重複這樣的過程，就能確保各參考時脈 fa0 至 fa7 能和標準時脈 CKs 同步，具有穩定的頻率。假設除頻器 div2 為一 $1/n$ 除頻器，除頻器 div3 為一 $1/m$ 除頻器，則上



五、發明說明 (11)

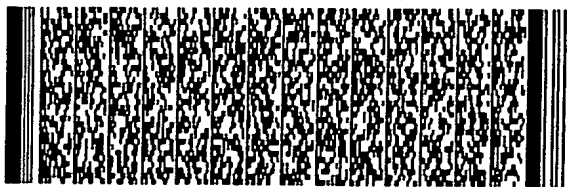
述鎖相回路運作的結果會使 $f_a = (n/m) * f_s$ (其中頻率 f_a 為各參考時脈 f_{a0} 至 f_{a7} 的頻率，頻率 f_s 則為標準時脈 CKs 的頻率)。舉例來說，若標準時脈 CKs 之頻率 f_s 為 800MHz，要產生出 200MHz 的參考時脈 f_{a0} 至 f_{a7} ，就可以設定除頻器 div2 為一 1/2 除頻器，除頻器 div3 為一 1/8 除頻器，讓鎖相回路鎖定使各參考時脈 f_{a0} 至 f_{a7} 之頻率 f_a 為 200MHz。經過鎖相回路中震盪器 VCO 的運作，四級反相器 22 可分別產生出 8 個同頻異相的參考時脈 f_{a0} 至 f_{a7} ；以參考時脈 f_{a0} 為相位 0 度之基準，各參考時脈 f_{a0} 到 f_{a7} 的相位差及產生的節點，均已一併標示於圖五中。如前所述，參考時脈 f_{a0} 到 f_{a7} 會經過切波器 26 調整訊號位準，並分別形成標準數位訊號之參考時脈 f_0 到 f_7 。當然，參考時脈 f_0 到 f_7 頻率、相位的特性還是會維持，故參考時脈 f_0 到 f_7 仍然是同頻異相、相位平均分佈的時脈。

本發明的原理是利用倍頻參考時脈 f_0 到 f_7 中的不同週期來觸發除頻以進行相位內插，並產生出相位分割後的各個輸出時脈 A0 到 A15。關於此原理，請參考圖六 A。圖六 A 是本發明中參考時脈 f_0 至 f_7 、輸出時脈 A0 至 A15 波形時序之示意圖，圖六 A 之橫軸為時間，各波形的縱軸則是波形的大小幅度。如前所述，在此討論的實施例中，是以 8 個 2 倍頻之參考時脈 f_0 至 f_7 來除頻產生 16 個同頻異相之單倍頻輸出時脈 A0 到 A15，以完成對輸出時脈的相位分割。舉實例來說，若要產生 100MHz 時脈的 16 相位分割（也就是 16 個



五、發明說明 (12)

頻率 100MHz 的輸出時脈 A0 至 A15)，本發明中的時脈產生器 24 就可產生出 8 個 200MHz 的參考時脈 f_0 至 f_7 來作為除頻的依據。如圖六 A 所示，各參考時脈 f_0 至 f_7 的週期為週期 T_a （即參考週期），各輸出時脈 A0 至 A15 的週期為週期 T_b ，在倍頻的關係下，週期 T_b 的時間長度就是參考週期 T_a 時間長度的 2 倍。當本發明運作時，即以各參考時脈中的不同參考週期來觸發各輸出時脈中的不同週期。舉例來說，如圖六 A 所示，以參考時脈 f_0 在時點 t_0 的上升緣觸發 $1/2$ 的除頻，就能產生出輸出時脈 A0，使輸出時脈 A0 的上升緣實質上與參考時脈 f_0 在時點 t_0 的上升緣對齊。同理，參考時脈 f_1 在時點 $t_0 + T_d$ （延遲時間 T_d 即代表一個反相器 22 的延遲時間）上升緣觸發之除頻，則能產生輸出時脈 A1，其上升緣亦對齊於參考時脈 f_1 在時點 $t_0 + T_d$ 的上升緣。參考時脈 f_2 在時點 $t_0 + 2T_d$ 的上升緣觸發除頻則能產生輸出時脈 A2；以此類推。沿用相同的除頻觸發原理，參考時脈 f_0 至 f_7 分佈於時點 t_0 至時點 $t_0 + 7T_d$ 之間的 8 個上升緣，就可分別觸發出輸出時脈 A0 至 A7。由於各參考時脈與各輸出時脈間存在倍頻的關係，參考時脈 f_0 至 f_7 間的相位差，就相當於輸出時脈 A0 至 A7 間相位差的 2 倍。舉例來說，參考時脈 f_0 、 f_1 之上升緣間有延遲時間 T_d 的延遲；根據圖五中 4 級環式震盪器 VCO 運作的原理，延遲時間 T_d 應為參考週期 T_a 的 $1/8$ ，相當於參考時脈中 45 度的相位差（也就是 $360 * T_d / T_a$ ）。在上升緣觸發後，輸出時脈 A0、A1 上升緣間的時間差亦為延遲時間 T_d ，但輸出時脈的週期 T_b 為



五、發明說明 (13)

參考週期 T_a 的 2 倍，故輸出時脈 A_0 、 A_1 間的相位差就變成了 22.5° （也就是 $360 \cdot T_d / T_b$ ），為參考時脈 f_0 、 f_1 間相位差 45° 的一半。同理可推知，參考時脈 f_0 、 f_2 間 90° 的相位差，就使輸出時脈 A_0 、 A_2 間具有 45° 的相位差。以此類推，參考時脈 f_0 至 f_7 由 0° 到 315° 的相位差，就能分別觸發出 0° 到 157.5° 相位差的輸出時脈 A_0 至 A_7 。換句話說，參考時脈 f_0 至 f_7 在時點 t_0 、 $t_0 + 7T_d$ 內 8 個可將參考週期 T_a 均分 8 份之上升緣，就分別對應於輸出時脈 A_0 至 A_7 在同一段時間內將半個週期 T_b （相當於 180° 相位）均分 8 份之上升緣。

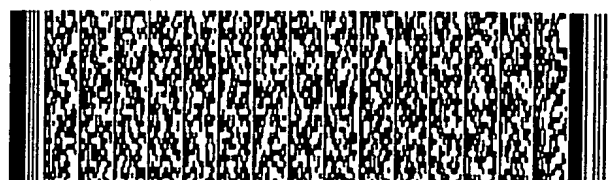
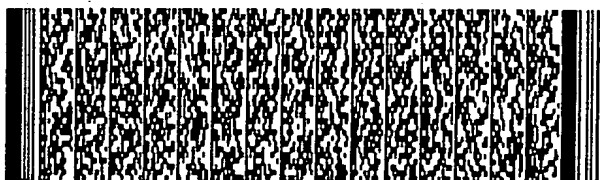
接下來，在時點 $t_0 + 8T_d$ ，參考時脈 f_0 第二個週期之上升緣又能觸發除頻而產生輸出時脈 A_8 ；由於一個參考週期 T_a 相當於輸出時脈中 180° 的相位差，故參考時脈中連續的兩個週期，恰好可觸發除頻出兩個互為 180° 相位差之輸出時脈。再舉一例，參考時脈 f_1 在時點 $t_0 + T_d$ 、 $t_0 + 9T_d$ 兩參考週期之上升緣，就能分別觸發除頻為輸出時脈 A_1 、 A_9 ，這兩個輸出時脈相對於輸出時脈 A_0 的相位差就分別是 22.5° 、 202.5° ，互有 180° 的相位差。依此類推，而參考時脈 f_7 在時點 $t_0 + 7T_d$ 、 $t_0 + 15T_d$ 的兩個上升緣就可分別觸發除頻為輸出時脈 A_7 、 A_{15} 。換句話說，本發明以各參考時脈 f_0 至 f_7 在時點 t_0 、 $t_0 + 7T_d$ 間第一個參考週期之上升緣來分別觸發除頻出輸出時脈 A_0 至 A_7 ，而各參考時脈接下來在時點 $t_0 + 8T_d$ 、 $t_0 + 15T_d$ 間第二個週期之上升緣又能分



五、發明說明 (14)

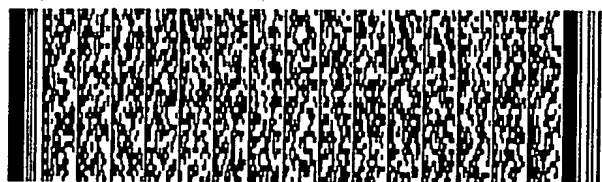
別觸發出輸出時脈 A8至 A15，總計觸發出 16個輸出時脈 A0至 A15。利用 2倍頻 8個參考時脈能將輸出時脈之 180度（相當於一參考週期 Ta）均分為 8分，利用各參考週期中不同的參考週期，就能將輸出時脈 360度均分為 16份，達到輸出時脈相位分割的目的。而本發明於相位內插器 28中（請參考圖五）設置的除頻模組 32，就是用來進行除頻，以將 2倍頻之時脈除頻為各輸出時脈。

雖然將 2倍頻的參考時脈進行 $1/2$ 除頻就能得到各輸出時脈，但由於本發明中是以各參考週期中，利用不同的參考週期以分別觸發出不同的時脈，故需謹慎調整開始觸發除頻的時間，避免各輸出時脈的相位混亂。關於此情形，請參考圖六 B。圖六 B是圖五多重相位產生電路 20運作時，各相關訊號波形時序之示意圖；圖六 B之橫軸為時間，各波形的縱軸為波形的大小。如圖六 B所示，假設現在是以參考時脈 f_0 在時點 t_0 之上升緣（也就是參考時脈 f_0 的第一個參考週期 Ta1的上升緣）來觸發除頻出輸出時脈 A0，那麼在觸發輸出時脈 A8時，就要確定除頻模組 32是以接下來的第二個參考週期 Ta2來觸發輸出時脈 A8的產生；若錯誤地以參考週期 Ta1或 Ta6來觸發輸出時脈 A8的產生，那麼觸發出來的輸出時脈 A8就會變成輸出時脈 A0，無法正確完成相位分割。同理，當要對時脈 f_1 進行除頻而產生輸出時脈 A1時，觸發模組 32也要確定是以參考時脈 f_1 在時點 t_0 之後的第一個上升緣（也就是參考週期 Ta3的上升緣）就開始



五、發明說明 (15)

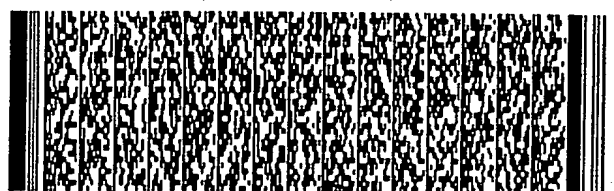
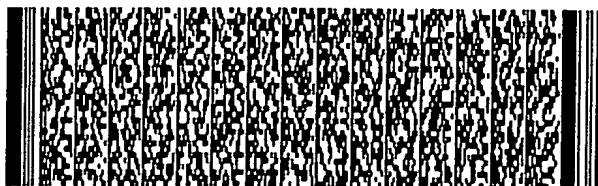
觸發除頻，這樣輸出時脈 A1、A0間的相位差才會符合圖六 A中預期的關係。若是錯誤地以參考週期 Ta5或 Ta4之上升緣來觸發除頻，所產生出來的輸出時脈就會像是圖六 B中繪出的輸出時脈 A1e，和輸出時脈 A1有 180度的相位差，並非正確的輸出時脈 A1。換句話說，在除頻時，最好能以參考時脈 f0的一個參考週期為基準（像是參考週期 Ta1），再選擇相位落後參考週期 Ta1符合預定值的各個週期來觸發除頻出各輸出時脈，以避免錯誤的除頻。舉例來說，以參考時脈 Ta1為基準，要觸發出有 180度相位差的輸出時脈 A8，就能選擇以落後參考時脈 360度之參考週期 Ta2來開始以上升緣觸發除頻，以避免錯誤地用參考週期 Ta1或 Ta6來除頻。同理，要觸發出 22.5度相位差的輸出時脈 A1，就能根據基準的參考週期 Ta1，選擇落後參考週期 Ta1有 45度相位差的參考時脈 Ta3來以上升緣正確地觸發除頻出輸出時脈 A1。這樣一來，也就能避免以上升緣超前的參考週期 Ta5，或是以上升緣落後達 405度之參考週期 Ta4來錯誤地觸發除頻出輸出時脈 A1。依循上述原則並對照圖六 A就可瞭解，若以參考時脈 f0在時點 t0之上升緣為基準，要正確地產生輸出時脈 A15，就要由參考時脈 f7在時點 $t0 + 15Td$ 的上升緣（落後時點 t0之上升緣 675度相位）來開始觸發除頻，以此類推。為了達成上述的目的，確保除頻模組 32正確地依照各參考週期之順序來對應地觸發除頻出各個輸出時脈，本發明之相位內插器 28中即設有序向觸發模組 30，可藉由中介時脈 y0到 y15、重設訊號 R0到 R3來控制除頻模



五、發明說明 (16)

組 32 正確地除頻。

請參考圖七。圖七即為本發明中序向觸發模組 30 一實施例之電路示意圖。在此實施例中，序向觸發模組 30 設有 16 個負緣（下降緣）觸發的正反器（可以是 D 正反器，D flip-flop）F11 至 F14、F21 至 F24、F31 至 F34 以及 F41 至 F44，還有一些輔助的及閘 36 與緩衝器（buffer）34。及閘 36 用來做及運算（AND operation），緩衝器 34 用來增加訊號輸出的驅動能力，並防止雜訊進入序向觸發模組 30 中。各正反器設有一輸入端 D、一輸出端 Q、一重設端 rst 及一時脈端（圖七中標示為三角形），以接受時脈之觸發，並由輸出端 Q 輸出對應的訊號。各正反器之重設端 rst 統一由一起始訊號 RS 觸發重設。其中正反器 F11 到 F14 可視為一組，正反器 F11 接受參考時脈 f0 之觸發，其輸入端 D 直接電連於一直流電壓 Vcc，相當於在輸入端 D 持續輸入一高位準之數位「1」；而在其輸出端 Q 的輸出，一方面會經由一緩衝器 34 輸出為一重設訊號 R0，一方面則輸入至次一正反器 F12，作為正反器 F12 於其輸入端 D 的輸入；另外，正反器 F11 輸出端 Q 的輸出還與時脈 f0 於一及閘做及運算，以產生一中介時脈 y0。基於類似的配置，正反器 F12 受參考時脈 f4 的觸發，於其輸入端 D 接受前一級正反器 F11 之輸出，並在輸出端 Q 輸出訊號至下一級的正反器 F13；而正反器 F12 的輸出也經過緩衝器輸出為一重設訊號 R1，並與參考時脈 f4 做及運算而產生中介時脈 y4。正反器 F13 接收正反器 F12

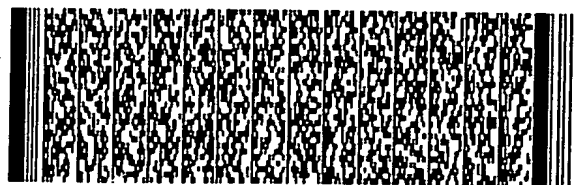
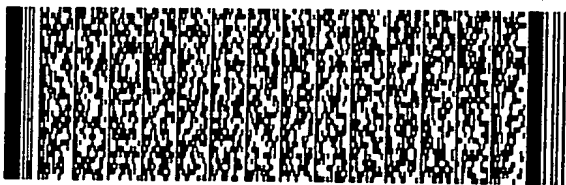


五、發明說明 (17)

的輸出後，再度根據參考時脈 f_0 的觸發產生對正反器 F14 之輸出，並形成重設訊號 R2 以及中介時脈 y_8 。最後，正反器 F14 接受正反器 F13 的輸出，在參考時脈 f_4 的觸發下形成重設訊號 R3 以及中介時脈 y_{12} 。換句話說，在正反器 F11 到 F14 這四個一組的正反器之間，各正反器的輸出就作為次一級正反器的輸入，並交錯地由參考時脈 f_0 、 f_4 、 f_0 及 f_4 之觸發，以產生出中介時脈 y_0 、 y_4 、 y_8 及 y_{12} 。

同理，正反器 F21 至 F24 為一組的四個正反器，正反器 F21 輸入端 D 亦接受數位「1」之輸入，各次級的正反器 F22 到 F24 均接受前一級正反器的輸出作為輸入；各正反器 F21 至 F24 分別由參考時脈 f_1 、 f_5 、 f_1 及 f_5 觸發，以分別產生中介時脈 y_1 、 y_5 、 y_9 、 y_{13} 。在此組正反器中，已不必由各正反器的輸出端 Q 產生重設訊號（亦即 R0~R3），但各輸出端 Q 還是連接於一緩衝器，作為各正反器虛置（dummy）的負載。根據類似的配置，正反器 F31 至 F34 為一組，由正反器 F31 接受數位「1」之輸入，各次級正反器 F32 至 F34 接受前一級之輸出作為輸入；各正反器 F31 至 F34 分別由參考時脈 f_2 、 f_6 、 f_2 、 f_6 觸發，產生中介時脈 y_2 、 y_6 、 y_{10} 及 y_{14} 。正反器 F41 至 F44 這一組，則根據參考時脈 f_3 、 f_7 、 f_3 及 f_7 的觸發，分別產生出中介時脈 y_3 、 y_7 、 y_{11} 與 y_{15} 。

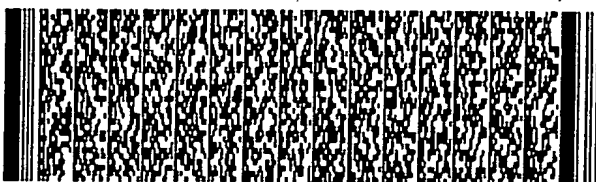
請參考圖八。圖八為本發明中除頻模組 32 功能方塊之示意圖。根據序向觸發模組 30 中產生的中介時脈 y_0 至



五、發明說明 (18)

y15，以及重設訊號 R0至 R3，除頻模組 32就能正確地除頻，產生出輸出時脈 A0至 A15。除頻模組 32中設有 16個正緣觸發的正反器（可以是 D正反器）D11至 D41、D12至 D42、D13至 D43以及 D14至 D44。各正反器設有一時脈端（圖八中以三角形表示）、一重設端 rst、一輸入端 D、一輸出端 Q及一反相輸出端 Qi。各正反器的反相輸出端 Qi電連於其輸入端 D，以將各正反器連接為一 1/2除頻器。正反器 D11至 D41統一接受重設訊號 R0之重設控制，並分別對中介時脈 y0至 y3除頻，以產生輸出時脈 A0至 A3。基於類似的配置，正反器 D12至 D42統一由重設訊號 R1控制重設，以對中介時脈 y4至 y7除頻，產生輸出時脈 A4至 A7。正反器 D13至 D43、D14至 D44分別由重設訊號 R2、R3控制重設，並分別對中介時脈 y8至 y11、y12至 y15除頻，以產生輸出時脈 A8至 A11、A12至 A15。

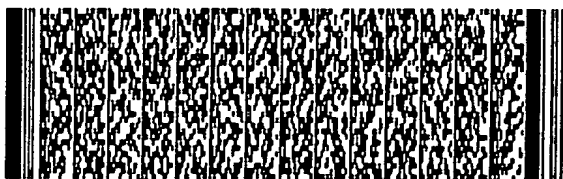
為了進一步說明序向觸發模組 30、除頻模組 32運作的原理及情形，請繼續參考圖九 A至九 D（並一併參考圖七、圖八）。圖九 A至九 D為序向觸發模組 30運作過程中各相關訊號波形時序之示意圖；圖九 A至九 D之橫軸為時間，各波形之縱軸為波形之大小，並以 D(F11)、Q(F44)等之記號來分別表示正反器 F11的輸入端 D、正反器 F44 輸出端 Q之訊號，以此類推。首先，在圖九 A中所示的，是同為一組的正反器 F11至 F14各相關訊號之波形時序。假設起始訊號 RS是在時點 ts開始觸發各正反器 F11至 F14、F21至 F24、F31



五、發明說明 (19)

至 F34 以及 F41 至 F44 重設，並從頭開始運作。正反器 F11 由時點 t_s 開始運作後，其輸出端 D(F11) 就被重設為低位準的數位「0」（可經由地位準的 RS 重設訊號來達成）；雖其輸入端 D(F11) 一直都是數位「1」，但由於正反器 F11 是負緣觸發的正反器，故受時脈 f_0 觸發之正反器 F11 要等到時脈 f_0 在時點 t_{a1} 的負緣（也就是下降緣）才會取樣到輸入端 D(F11) 的數位「1」，並對應地使輸出端 Q(F11) 之訊號在時點 t_{a1} 升到高位準的數位「1」。當然，正反器 F11 輸出端 Q(F11) 的訊號就變成正反器 F12 輸入端 D(F12) 的訊號，同時也是重設訊號 R0，就像圖九 A 中標示的。另外，正反器 F11 輸出端 Q(F11) 的訊號和參考時脈 f_0 做及運算後，就成為中介時脈 y_0 ；由圖九 A 中可看出，由於輸出端 Q(F11) 的訊號會在時點 t_{a1} 後才會變為數位「1」，在做及運算時，相當於將參考時脈 f_0 在時點 t_{a1} 之前的各個參考週期消除，故中介時脈 y_0 的第一個週期之上升緣，要到時點 t_{a2} 才出現。

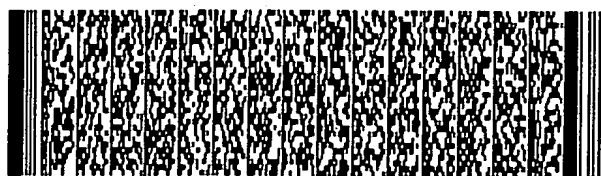
由時脈 f_4 負緣觸發之正反器 F12 在時點 t_s 的重設後，雖然在時點 t_{a0} 有一個下降緣，但因為正反器 F12 輸入端 D(F12) 之訊號此時還是數位「0」，故正反器 F12 輸出端 Q(F12) 也還是維持數位「0」，直到輸入端 D(F12) 的訊號在時點 t_{a1} 變為數位「1」後，時脈 f_4 在時點 t_{a2} 的下降緣才會使輸出端 Q(F12) 輸出改變為數位「1」；而輸出端 Q(F12) 的訊號也就成為重設訊號 R1。由於輸出端 Q(F12) 之



五、發明說明 (20)

訊號在時點 ta_2 才變為數位「1」，參考時脈 f_4 在此之前的參考週期都會在及運算中消失，使得中介時脈 y_4 要到時點 ta_3 才出現第一個週期的上升緣。同理，因為正反器 F_{13} 由輸入端 $D(F_{13})$ 接收的訊號會在時點 ta_2 才會由數位「0」變成數位「1」，連帶地輸出端 $Q(F_{13})$ 的訊號在時脈 f_0 之觸發下，會到時點 ta_3 才變為數位「1」（並形成重設訊號 R_2 ）；而及運算出來的中介時脈 y_8 也會連帶地在時點 ta_4 才出現第一個週期之上升緣。正反器 F_{14} 的輸出端 $Q(F_{14})$ 的訊號則會受輸入端 $D(F_{14})$ 的控制，在時脈 f_4 的下降緣觸發下，直到時點 ta_4 才會由數位「0」轉變為數位「1」，形成重設訊號 R_3 ，並透過及運算消除參考時脈 f_4 在時點 ta_4 之前的週期，形成中介時脈 y_{12} 。如此一來，中介時脈 y_{12} 的第一個週期之上升緣，要到時點 ta_5 才會出現。

由上述描述可知，正反器 F_{11} 至 F_{14} 這四個一組的正反器，由於各正反器 F_{12} 至 F_{14} 分別是由前一級正反器之輸出端 Q 接受輸入，再加上用來觸發的參考時脈 f_0 、 f_4 、 f_0 及 f_4 相互間半週期的相位差，故各正反器 F_{11} 至 F_{14} 在輸出端 $Q(F_{11})$ 至 $Q(F_{14})$ 輸出的訊號，會間隔半週期的時間，依照順序分別在時點 ta_1 至 ta_4 由數位「0」變為數位「1」，而這四個輸出端的訊號就可作為序向控制的重設訊號 R_0 至 R_3 。同理，中介時脈 y_0 、 y_4 、 y_8 及 y_{12} 第一個週期之上升緣，也會依照先後順序，分別在時點 ta_2 、 ta_3 、 ta_4 及 ta_5 才出現。另外，由於圖九 A（及後續各時序之圖式）皆為



五、發明說明 (21)

時序的示意圖；在實際上，各正反器、邏輯閘的輸入、輸出皆有部份的閘延遲 (gate delay)，需要加以考慮。舉例來說，在圖九 A 中，在正反器 F11 之輸出端 Q(F11)，其上升緣會略微延遲於參考時脈 f0 在時點 ta1 的降緣；為了確保中介時脈 y0 能在時點 ta2 順利地開始跟隨參考時脈 f0 的各個週期，故正反器 F11 連同及閘 36 引入的閘延遲要小於參考時脈 f0 的半週期，確保正反器之 Q 輸出端訊號能在時點 ta1、ta2 之間就轉變位準，讓中介時脈 y0 能順利地跟隨參考時脈 f0 在時點 ta2 開始的週期。當然，閘延遲引入及考量為數位電路設計中之習知技術，在不妨礙本發明技術揭露的情況下，不再詳述。

根據相同的運作原理，在正反器 F21 至 F24 這組的四個正反器中，正反器 F21 也是由輸入端 D(F21) 接受數位「1」的輸入，各正反器 F22 至 F42 也是以前一級的輸出作為輸入，所以各輸出端 Q(F21) 至 Q(F24) 輸出之訊號在時點 ts 經由起始訊號 RS 之重設後，也會依照先後順序，分別在時點 tb1 至 tb4 才會由數位「0」轉變為數位「1」，如圖九 B 所示。連帶地，各正反器輸出端之訊號分別和參考時脈 f1、f5、f1 及 f5 及運算所產生出來的中介時脈 y1、y5、y9 及 y13，也會依先後順序，分別在時點 tb2、tb3、tb4 及 tb5 才會出現第一個週期之上升緣。圖九 B 與圖九 A (以及圖九 C、D) 中標出的時點 ts，一樣都代表起始訊號 RS 觸發各正反器之重設，並重頭開始運作的時間；圖九 B 中也標示出

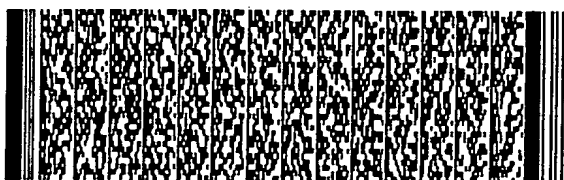


五、發明說明 (22)

了圖九 A中的時點 $ta1$ (也就是輸出端 $Q(F11)$ 上升緣發生的時間)。由於參考時脈 $f1$ 落後參考時脈 $f0$ 有 45° 的相位差，相當於一個延遲時間 Td ；在圖九 B的例子中，輸出端 $Q(F21)$ 在時點 $tb1$ 的上升緣也就落後時點 $ta1$ 一個延遲時間 Td 的時間。正反器 $F21$ 至 $F24$ 在輸出端 $D(F21)$ 至 $D(F24)$ 的輸出不必作為重設訊號，這組正反器主要產生的是中介時脈 $y1$ 、 $y5$ 、 $y9$ 及 $y13$ 。

圖九 C所示的則是正反器 $F31$ 至 $F34$ 這一組中各正反器在各輸出端 $Q(F31)$ 至 $Q(F34)$ 的訊號，以及產生出來的中介時脈 $y2$ 、 $y6$ 、 $y10$ 及 $y14$ 。依據前述的運作原理，各正反器 $F31$ 至 $F34$ 在時點 ts 的重設後，分別會在參考時脈 $f2$ 、 $f6$ 、 $f2$ 及 $f6$ 的觸發下，依先後順序在時點 $tc1$ 至 $tc4$ 時使輸出端 $Q(F31)$ 至 $Q(F34)$ 的訊號由數位「0」轉變為數位「1」，並連帶使中介時脈 $y2$ 、 $y6$ 、 $y10$ 及 $y14$ 第一個週期的上升緣分別依序在時點 $tc2$ 、 $tc3$ 、 $tc4$ 及 $tc5$ 才出現。同樣地，圖九 C中也標示出了圖九 A中的時點 $ta1$ ；由於參考時脈 $f2$ 落後參考時脈 $f0$ 有 90° 之相位差，相當於兩個延遲時間，故在圖九 C的例子中，輸出端 $Q(F31)$ 之訊號在時點 $tc1$ 之上升緣也會落後時點 $ta1$ 兩段延遲時間 Td 。

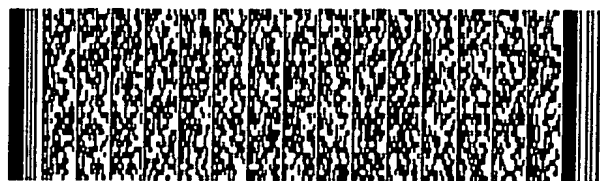
在圖九 D中，示意的則是正反器 $F41$ 至 $F44$ 這一組正反器中各相關訊號的波形時序。同樣地，經由互有 180° 相位差之時脈 $f3$ 、 $f7$ 、 $f3$ 、 $f7$ 的觸發，正反器 $F41$ 至 $F44$ 輸出端



五、發明說明 (23)

Q(F41)至 Q(F44)之訊號，也會在時點 t_s 之重設後，依序在時點 $td1$ 至 $td4$ 由數位「0」變為數位「1」；配合這些序向訊號與參考時脈 $f3$ 、 $f7$ 、 $f3$ 及 $f7$ 的及運算所產生出來的中介時脈 $y3$ 、 $y7$ 、 $y11$ 與 $y15$ ，也分別在時點 $td2$ 至 $td5$ 才會有第一個週期的上升緣。不過，起始訊號 RS 重設各正反器的時點 t_s 不一定會和各參考時脈同步，就像圖九 A 到圖九 D 的示意例所示，時點 t_s 未和任何參考時脈之上升緣或下降緣同步發生。這樣一來，觸發各組正反器之參考時脈在時點 t_s 後的第一個下降緣，就可能出現在時點 $ta1$ 之前。為了比較方便，圖九 D 中也一併繪出了參考時脈 $f0$ 之波形時序。如圖九 D 所示，在此例中，由於時點 t_s 的重設發生時比較接近參考時脈 $f3$ 的下降緣，雖然參考時脈 $f3$ 的相位落後參考時脈 $f1$ 有 135° ，但時點 t_s 剛好落在參考時脈 $f3$ 的前一個週期，使得正反器 F41 輸出端 Q(F41) 訊號之上升緣會提前在時點 $td1$ 發生，反而超前於時點 $ta1$ 。

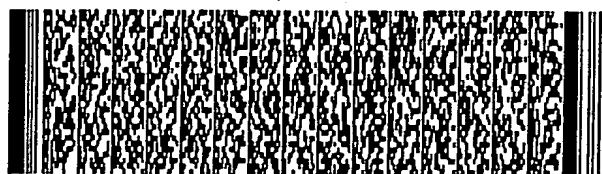
總結序向觸發模組 30 中各組正反器 F11 至 F14、F21 至 F24、F31 至 F34 以及 F41 至 F44 的操作，在各組的正反器中，每一正反器接受前級正反器之輸出為輸入，在不同之對應參考時脈的觸發下，各正反器輸出端 Q 之訊號一定會在於前級正反器輸出由數位「0」變為數位「1」後，才有可能在對應參考時脈的觸發下，由數位「0」變為數位「1」；連帶地，每一正反器輸出端 Q 的訊號也就會透過及運算將對應參考時脈中對應於輸出端 Q 之訊號上升緣前之



五、發明說明 (24)

參考週期去除，以產生出對應的中介時脈。這樣一來，各級正反器產生的對應中介時脈，其第一個週期之上升緣也就會依照各級正反器的順序依序發生。舉例來說，如圖九A所示，在正反器 F11至 F14這組正反器中，第二級正反器 F12輸出端 Q(F12)由數位「0」轉變為數位「1」之上升緣一定會在時點 ta_1 之後才會發生；而該上升緣實際發生的時間，則由觸發正反器 F11、F12的兩參考時脈 f_0 、 f_4 間的相位差來決定。由於參考時脈 f_4 落後參考時脈 f_0 有 180 度之相位，輸出端 Q(F12)之上升緣要落後半個參考週期，到時點 ta_2 才出現。透過及運算，就能根據輸出端 Q(F11)、Q(F12)分別產生出來中介時脈 y_0 、 y_4 。經由輸出端 Q(F11)、Q(F12)上述訊號時序之安排，就能確保中介時脈 y_4 的在時點 ta_3 、 ta_5 間的第一個週期會落後於中介時脈 y_0 在時點 ta_2 、 ta_4 間的第一個週期，以反應參考時脈 f_4 之相位落後參考時脈 f_0 之相位。

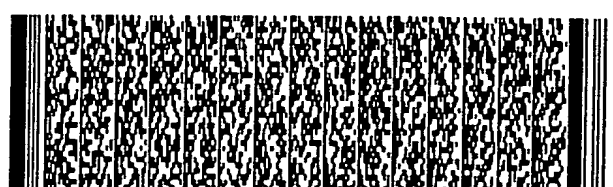
就如圖六 B 及相關說明中所討論到的，在除頻時，可以根據參考時脈 f_0 中一參考週期為基準，再依次以其他參考時脈中相位落後符合預期之參考時脈來觸發除頻出各個輸出的時脈。而序向觸發模組 30 中各組正反器運作所產生出來的中介時脈，就是以每組中第一級正反器對應中介時脈的第一個週期為基準，並使該組中其他各級正反器對應中介時脈的第一個週期落後該基準週期之相位差符合預期中的相位差。就像上面討論到的，由正反器 F11至 F14這組正反



五、發明說明 (25)

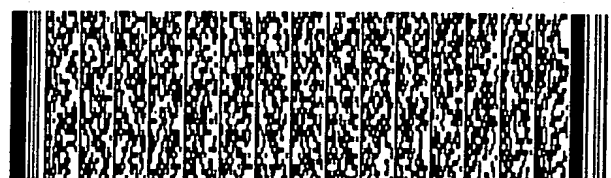
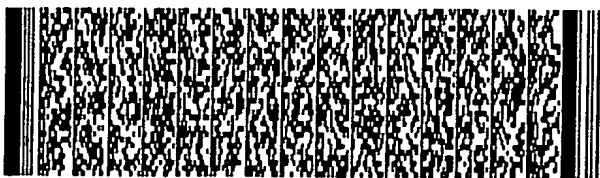
器所產生出來的中介時脈 y_4 、 y_8 、 y_{12} ，各中介時脈第一週期之上升緣就與中介時脈 y_0 第一週期之上升緣分別有 0.5、1、1.5 週期之時間差，相當於 180、360、540 度之相位差。若以中介時脈 y_0 、 y_4 、 y_8 、 y_{12} 第一週期之上升緣來開始觸發除頻為輸出時脈 A_0 、 A_4 、 A_8 及 A_{12} ，這些輸出時脈（相對於輸出時脈 A_0 ）就會有 0、90、180、270 度之相位差，符合圖六 A 中預期之相位關係。同理，正反器 F21 至 F24 這一組正反器產生出來的中介時脈 y_1 、 y_5 、 y_9 、 y_{13} ，也是以中介時脈 y_1 第一個週期為基準，其他中介時脈 y_5 、 y_9 、 y_{13} 第一個週期分別落後 180、360、540 度的相位差。其他各組的正反器所分別產生出來的中介時脈，相互間的關係也能類推之。不過，就如前述，因為重設各正反器的時間 t_s 不一定跟各參考時脈同步，在不同組正反器產生出來的中介時脈之間，其第一週期相互間的相位差也就不一定符合預期之相位差關係，此時就可在除頻模組 32 中依據重設訊號 R_0 至 R_3 進行修正。

請參考圖十 A、圖十 B（並一併參考圖八、圖九 A 至九 D）。圖十 A、十 B 為圖八中除頻模組 32 運作時，各相關訊號波形時序之示意圖；圖式之橫軸為時間，各波形之縱軸為波形大小。如前所述，除頻模組 32 中上升緣觸發之各個正反器 D11 至 D41、D12 至 D42、D13 至 D43 及 D14 至 D44 本身就連接為 1/2 除頻器；正反器 D11 至 D41 的重設端 rst 統一由重設訊號 R_0 控制，可視為同一組，分別用來對中介時脈 y_0 至



五、發明說明 (26)

y3除頻，以產生輸出時脈 A0至 A3。同理，正反器 D12至 D42這一組同由重設訊號 R1控制重設，以對中介時脈 y4至 y7除頻產生出輸出時脈 A4至 A7；正反器 D13至 D43由重設訊號 R2控制對中介時脈 y8至 y11之除頻，得出輸出時脈 A8至 A11，以此類推。而圖十 A中所示，即為正反器 D11至 D41、D12至 D42各相關訊號之時序。如圖十 A所示，集合圖九 A至九 D各正反器 F11、F21、F31及 F41（也就是各組第一級之正反器）所分別產生出來的中介時脈 y0至 y3，就是正反器 D11至 D41要除頻的對象。如前所述，序向觸發模組 30中各組正反器內的中介時脈已經有正確的相位差關係，但不同組正反器中介時脈間之相位關係還不一定是正確的。就像圖十 A所示，各中介時脈 y0至 y3第一週期之上升緣分別在時點 ta2、tb2、tc2、td2，但因為對序向觸發模組 30重設之重設時間 ts的影響（請參考圖九 D中的討論），中介時脈 y3第一週期在時點 td2之上升緣其實會超前於中介時脈 y0第一週期在時點 ta2之上升緣。若是直接由時點 td2的上升緣開始觸發除頻，就無法得到正確的輸出時脈 A3。然而，重設訊號 R0會控制各正反器 D11至 D41在重設訊號 R0之上升緣重設，相當於在時點 tal後才觸發各正反器 D11至 D41開始除頻。由於正反器 D11至 D41為上升緣觸發正反器，在時點 tal之重設後，正反器 D41會於中介時脈 y3在時點 td4之上升緣才會開始除頻，使得輸出時脈 A3的上升緣對齊中介時脈 y3的上升緣，與輸出時脈 A0間符合預設之相位差，就像圖六 A中所示。事實上，由於重設時間 ts發生的時機不



五、發明說明 (27)

一定會與各參考時脈 f_0 至 f_7 有特定的時間關係，故不論是中介時脈 y_1 、 y_2 或 y_3 ，其第一週期之上升緣都有可能超前於中介時脈 y_0 第一週期之上升緣。不過，正反器 F_{11} 連同中介時脈 y_0 一起產生出來的重設訊號 R_0 ，其上升緣一定會以 180° 之相位超前中介時脈 y_0 第一週期之上升緣，中介時脈 y_1 至 y_3 第一週期上升緣超前中介時脈 y_0 第一週期上升緣之幅度則會在 225° 到 315° 相位之間（因為參考時脈 f_1 至 f_3 與參考時脈 f_0 之相位差是在 45° 到 135° 之間）；換句話說，即使中介時脈 y_1 至 y_3 有任一（或任何幾個）中介時脈第一週期之上升緣超前中介時脈 y_0 第一週期之上升緣，重設訊號 R_0 之上升緣也一定會落後於該等上升緣，使得各正反器 D_{21} 至 D_{41} 不會由該等上升緣就開始除頻，而會由重設訊號 R_0 上升緣之後的上升緣才開始除頻。這樣一來，就能以中介時脈 y_0 在時點 ta_2 之上升緣為基準，依序以中介時脈 y_1 至 y_3 中在時點 ta_2 之後符合預期相位差之上升緣來開始觸發除頻，確保除頻出來的輸出時脈 A_0 至 A_4 間有符合預期的相位差。

同理，在正反器 D_{12} 至 D_{42} 這組正反器中，正反器 F_{12} 連同中介時脈 y_4 一起產生的重設訊號 R_1 ，就能排除中介時脈 y_7 在時點 td_3 第一週期之上升緣，而使正反器 D_{12} 至 D_{42} 這組正反器正確地在各中介時脈 y_5 至 y_7 間以落後時點 ta_3 （也就是中介時脈 y_4 第一週期之上升緣）的各個上升緣來觸發除頻，以便產生出時脈 A_4 至 A_7 。請注意，在序向觸發



五、發明說明 (28)

模組 30 中，中介時脈 y_4 是由正反器 F11 至 F14 這組中的第二級正反器 F12 所產生，其第一週期之上升緣一定會落後於第一級正反器 F11 所產生的中介時脈 y_0 ，再配合重設訊號 R1 於正反器 D22 至 D42 間的重設運作，就能確保中介時脈 y_0 至 y_7 也一定是以落後於中介時脈 y_0 第一週期之上升緣來開始觸發除頻。

如圖十 B 所示，在正反器 D13 至 D43 中，正反器 F13 連同中介時脈 y_8 一起產生的重設訊號 R2 會消除中介時脈 y_{11} 於時點 td_4 上升緣之影響，使各正反器 D13 至 D43 會由各中介時脈 y_8 至 y_{11} 分別於時點 ta_4 、 tb_4 、 tc_4 及 td_6 之上升緣來觸發除頻，產生輸出時脈 A8 至 A11。同理，正反器 D14 至 D44 會根據重設訊號 R3 正確地根據中介時脈 y_{12} 至 y_{15} 於時點 ta_5 、 tb_5 、 tc_5 及 td_7 的上升緣來開始觸發除頻，得到輸出時脈 A12 至 A15。

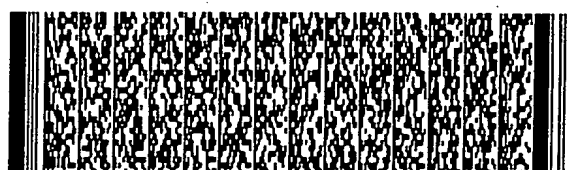
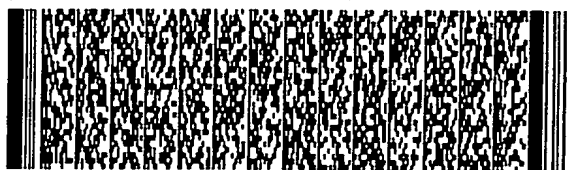
總括本發明中相位內插器 28 之運作，是以序向觸發模組 30 中各組正反器 F11 至 F14、F21 至 F24、F31 至 F34 以及 F41 至 F44 來產生各中介時脈。以正反器 F11 產生之中介時脈 y_0 的第一週期上升緣為基準，正反器 F12 至 F14 產生的中介時脈 y_4 、 y_8 、 y_{12} ，其第一週期之上升緣均已經以正確的相位差落後於中介時脈 y_0 第一週期之上升緣。同理，正反器 F21 至 F41 產生的中介時脈 y_1 、 y_5 、 y_9 及 y_{13} ，各中介時脈 y_5 、 y_9 及 y_{13} 第一週期之上升緣也以正確的相位差落



五、發明說明 (29)

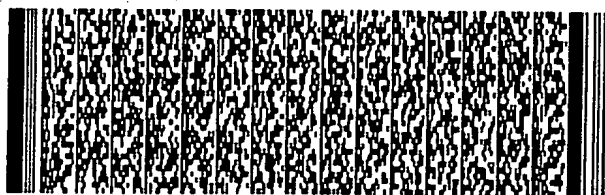
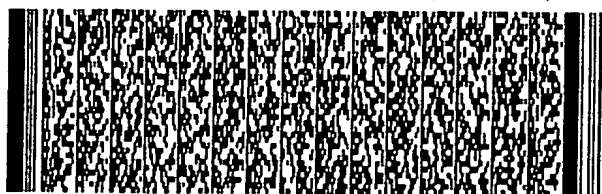
後於中介時脈 y_1 第一週期之上升緣，以此類推。配合各正反器 F11至 F14產生的重設訊號 R0，除頻模組 32中的正反器 D11至 D14能確保在序向觸發模組 30中，以不同組正反器 F11至 F41產生出來的中介時脈 y_0 至 y_3 皆能正確的上升緣來開始除頻，以產生輸出時脈 A0至 A3。同理，在正反器 D12至 D42中，各中介時脈 y_5 至 y_7 會配合中介時脈 y_4 對應的重設訊號 R1，以落後於中介時脈 y_4 第一週期上升緣的各個上升緣來開始觸發除頻。正反器 D13至 D43中，各中介時脈 y_8 至 y_{11} 則會配合中介時脈 y_4 對應的重設訊號 R2，以落後於中介時脈 y_8 第一週期上升緣的各個上升緣來開始觸發除頻。以此類推，正反器 D14至 D44中，各中介時脈 y_{12} 至 y_{15} 則會配合中介時脈 y_{12} 對應的重設訊號 R3，以落後於中介時脈 y_{12} 第一週期上升緣的各個上升緣來開始觸發除頻。由於各中介時脈 y_0 、 y_4 、 y_8 及 y_{12} 第一週期上升緣之相位關係在序向觸發模組 30中的正反器 F11至 F14中已經確立，在除頻模組 32中，就能透過中介時脈 y_0 、 y_4 、 y_8 及 y_{12} 分別在各組正反器 D11至 D14、D12至 D42、D13至 D43以及 D14至 D44中確保其他各個中介時脈開始除頻之上升緣與中介時脈 y_0 第一週期上升緣間的相位差符合預期，並能正確地產生輸出時脈 A0至 A15。

請參考圖十一 A、十一 B。基於上述本發明相位內插器 28之運作原理，相位內插器 28也可以用別種方式來實施。舉例來說，圖十一 A、十一 B就分別是相位內插器 28中序向



五、發明說明 (30)

觸發模組 30、除頻模組 32另一實施例之電路示意圖。如圖十一 A所示，序向觸發模組 30也可以透過兩組正反器來產生各中介時脈及重設訊號；其中正反器 F11至 F14、F21至 F24為一組，由正反器 F11在其輸入端 D接受數位「1」之輸入，各正反器接收前一級正反器之輸出為輸入（請注意正反器 F21接受正反器 F14輸出端 Q之輸出），以在參考時脈 f0、f2、f4、f6、f0、f2、f4及 f6的觸發下，分別產生出中介時脈 y0、y2、y4、y6、y8、y10、y12及 y14，以及重設訊號 R0至 R7。另一組正反器 F31至 F34、F41至 F44也是互以前一級輸出端 Q之輸出為輸入，（像是正反器 F41接收正反器 F34之輸出，正反器 F31接受數位「1」之輸入），並在參考時脈 f1、f3、f5、f7、f1、f3、f5及 f7之觸發下，分別產生中介時脈 y1、y3、y5、y7、y9、y11、y13、y15。各組正反器產生出來的 8個中介時脈間，其第一週期之上升緣都已經依序排列，相互間的相位差已經符合預設。至於不同組中介時脈間的序向排列，則由圖十一 B中各個連接為 1/2除頻器的正反器 D11至 D41、D12至 D42、D13至 D43以及 D14至 D44依據重設訊號 R0至 R7來協調。舉例來說，正反器 D11、D21同樣受重設訊號 R0的重設控制，即使中介時脈 y1第一週期之上升緣領先中介時脈 y0第一週期之上升緣，重設訊號 R0還是會使正反器 D21由中介時脈 y1次一週期的上升緣才開始觸發除頻，以產生出正確的輸出時脈 A1。其他各反相器運作的情形，相信習知技藝者已經能類推而得，在不妨礙本發明技術揭露之情形下，不再贅

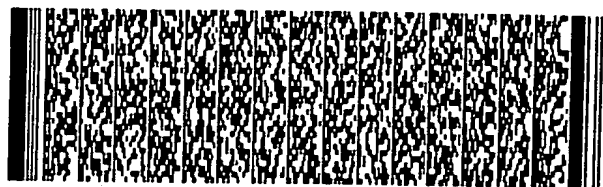
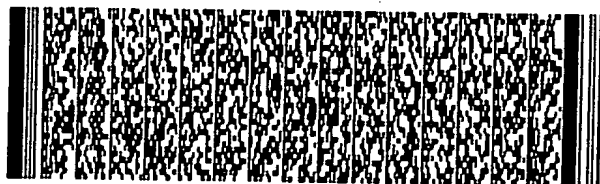


五、發明說明 (31)

述。當然，本發明只要經過適當的修改，在除頻模組中也可統一使用下降緣觸發之正反器來觸發除頻，重點是要能在不同的中介時脈中正確地選擇開始除頻之時機。

在應用本發明於圖十一 A 的應用時，由於有 8 個正反器（如正反器 F11 至 F24）的輸出端 Q 連續串聯，各正反器、及開引入的開延遲，必需小於參考時脈 f_0 至 f_7 的 $1/4$ 週期。在本發明於圖七的實施例中，由於僅有四個正反器（像是正反器 F11、F12、F13 及 F14）連續串聯，故也比較適用於高時脈頻率的應用環境。

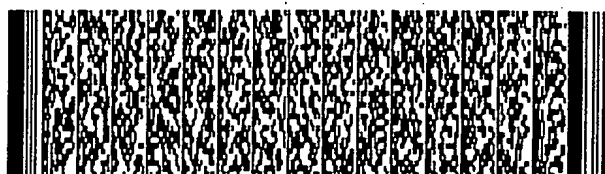
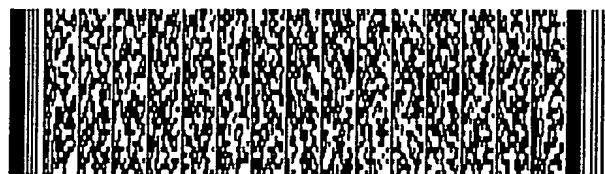
總而言之，本發明是以倍頻參考時脈中不同的參考週期來觸發除頻，以產生出相位分割後的輸出時脈。一般來說，當要產生頻率同為 f 之 M 個不同相位之輸出時脈時，本發明可先產生 N 個頻率同為 $(M/N)*f$ 的不同相位之參考時脈（其中 $M > N$ ），再由每一參考時脈不同週期（即每隔 $(N-1)$ 個週期）開始觸發 (N/M) 之除頻，以便於每一參考時脈中產生出 (M/N) 個不同相位之輸出時脈，最後由 N 個參考時脈中總共產生出 M 個不同相位之輸出時脈。像是上面討論到的實施例，是在產生 16 相位分割的 16 個輸出時脈時（ $M=16$ ），以四級反相器之環式震盪器產生 2 倍頻的 8 個參考時脈（ $N=8$ ； $M/N=2$ ），再於相位內插器中以每一參考時脈中相鄰的兩個週期（也就是由一參考時脈產生出來的兩個中介時脈）開始觸發 $1/2$ 除頻，最後產生出 16 個同頻異相之單



五、發明說明 (32)

倍頻輸出時脈。當然，本發明也可以用 2 級反相器之環式震盪器來產生出 4 個 4 倍頻的參考時脈 ($N=4$; $M/N=4$)；在於相位內插器中以每一參考時脈中相鄰的四個週期分別開始觸發 $1/4$ 除頻，也可以產生出 16 個相位分割之單倍頻輸出時脈。

在習知技術中，要產生 M 個相位分割、同頻異相之輸出時脈時，必需要以 $M/2$ 級反相器之環式震盪器來產生。就像前面具體討論過的，要產生 16 個相位分割之輸出時脈時，習知技術就要以 8 級反相器之環式震盪器來產生。環式震盪器本身就是不穩定的迴授系統，串連之反相器越多，就越容易將雜訊引入不穩定的迴授系統中；反相器越多，也越難產生出高頻的時脈，還會大幅增加電路功率供應、散熱的負擔。另外，環式震盪器中各級反相器會互以上升緣、下降緣來觸發次級反相器，容易因工作週期不正確而形成訊號抖動，也無法正確分割相位，並形成時間數位轉換器中的非線性誤差。相較之下，本發明是以模組化數位電路之相位內插器來輔助環式震盪器，可利用反相器級數較少的環式震盪器來產生參考時脈，並利用相位內插器進行相位內插，產生出所需的相位分割之輸出時脈。就像前面以具體實施例所討論的，同樣是要產生 16 個相位分割之輸出時脈，本發明可以使用 4 級反相器之環式震盪器來產生 8 個參考時脈，再根據各參考時脈內插出 16 個輸出時脈，達成相位分割的目的。因為本發明在環式震盪器中



五、發明說明 (33)

所需的反相器級數較少，就不容易引入雜訊，對整體電路運作之負擔也會減少。環式震盪器能產生出較佳的參考時脈，相位內插器運作所產生的輸出時脈，當然也會有較佳的特性（像是訊號抖動較少、工作週期較為精確）。另外，本發明之相位內插電路是統一以各參考時脈不同參考之上升緣來觸發輸出時脈之產生，即使各輸出時脈之工作週期有所失真，各輸出時脈的上升緣還是能精確地進行相位分割（就像圖三中所示），以應用於高精確度的時序控制；而當本發明運用於時間數位轉換器時，也就大幅降低非線性誤差。本發明可廣泛運用於時間數位轉換電路、時間延遲電路，或是在光碟機的伺服控制機制中，以精確控制資料存取的時序。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為一習知環式震盪器之電路示意圖。

圖二、圖三為圖一中環式震盪器各同頻異相輸出時脈波形時序之示意圖。

圖四為圖一中之環式震盪器受干擾時相關訊號波形時序之示意圖。

圖五為本發明多重相位產生電路功能方塊之示意圖。

圖六A、六B為本發明相位內插原理之示意圖。

圖七為圖五中序向觸發模組功能方塊之示意圖。

圖八為圖五中除頻模組功能方塊之示意圖。

圖九A至九D為圖七中序向觸發模組運作時相關訊號波形時序之示意圖。

圖十A至十B為圖八中除頻模組運作時相關波形時序之示意圖。

圖十一A為圖五中序向觸發模組另一實施例功能方塊之示意圖。

圖十一B為圖五中除頻模組另一實施例功能方塊之示意圖。

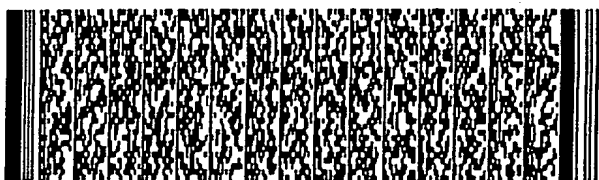
圖式之符號說明

10 震盪器

20 多重相位產生電路

12A-12H、22 反相器

24 時脈產生器



圖式簡單說明

26 切波器	28 相位內插器
30 序向觸發模組	32 除頻模組
34 緩衝器	36 及閘
rst 重設端	RS 起始訊號
D 輸入端	Q、Qi 輸出端
A-H、Ai-Hi、A0-A15 輸出時脈	
CKs 標準時脈	
f0-f7、fa0-fa8 參考時脈	div1-div2 除頻器
VCO 震盪器	PD 偵測器
CP 充電電路	LPF 低通濾波器
Vcc 直流電壓	Tg 延遲時間
y0-y15 中介時脈	R0-R3 重設訊號
Tp1-Tp2、Ta、Tb、Ta1-Ta5 週期	
F11-F14、F21-F24、F31-F34、F41-F44 正反器	
tp0-tp1、t0-t1、ts、ta0-ta5、tb1-tb5、tc1-tc5、	
td1-td6 時點	



六、申請專利範圍

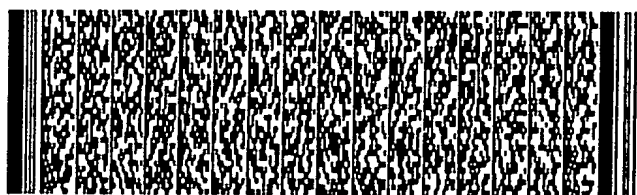
1. 一種分割相位的方法，用來產生兩個頻率相同之輸出時脈，並使兩輸出時脈間具有一預設之輸出相位差，該方法包含有：

產生兩個頻率相同的參考時脈，並使兩參考時脈間具有一預設之參考相位差，且該參考時脈之頻率為該輸出時脈頻率之複數倍，使該等參考時脈之頻率實質高於該等輸出時脈之頻率，其中每一參考時脈具有複數個參考週期；以及在每一參考時脈中，根據相隔至少一參考週期的複數個參考週期來觸發一對應輸出時脈中之各週期，以利用該兩個參考時脈分別產生出該兩個輸出時脈。

2. 如申請專利範圍第1項之方法，其中該參考時脈之頻率為該輸出時脈頻率之整數倍。

3. 如申請專利範圍第1項之方法，其中該參考相位差為該輸出相位差之複數倍，使得該參考相位差與該輸出相位差之比值、該參考時脈頻率與該輸出時脈頻率之比值兩者相等。

4. 如申請專利範圍第1項之方法，其中當該參考時脈之頻率為該輸出時脈頻率之 N 倍時，該方法係根據相隔至少 $(N-1)$ 個參考週期的複數個參考週期來觸發一對應時脈中之各週期。



六、申請專利範圍

5. 如申請專利範圍第1項之方法，其中該參考相位差為360度，使該兩參考時脈實質上為同一時脈，而當利用該參考時脈來產生該等輸出時脈時，係根據該參考時脈中不同的參考週期來分別觸發兩輸出時脈。

6. 如申請專利範圍第1項之方法，其中該等參考時脈為一第一參考時脈及一第二參考時脈，而當利用該參考時脈來產生該等輸出時脈時，係進行下列步驟：

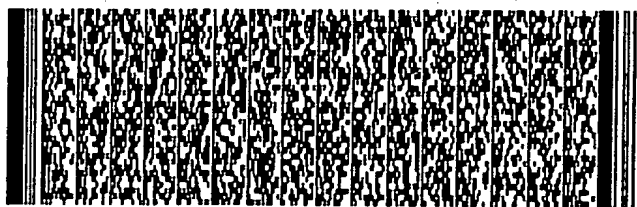
根據該第一參考時脈的一個第一參考週期，在該第二參考時脈中找出一個相位落後該第一參考週期的第二參考週期；

在對應該第一參考週期之時間開始對該第一參考時脈除頻以產生一輸出時脈；以及

在對應該第二參考週期的時間開始對該第二參考時脈除頻以產生另一輸出時脈。

7. 如申請專利範圍第6項之方法，其中該第一參考時脈係領先該第二參考時脈該參考相位差。

8. 如申請專利範圍第1項之方法，其中當根據各該參考時脈中相隔至少一個該參考週期的複數個該參考週期，來觸發一對應輸出時脈中之各週期時，若一輸出時脈中有一第一週期係由一對應參考時脈中之一第一參考週期所觸發的，則以另一參考時脈中落後該第一參考週期該參考相位



六、申請專利範圍

差之參考週期來觸發該對應輸出時脈中的一個第二週期，使該第二週期落後該第一週期該輸出相位差。

9. 如申請專利範圍第1項之方法，其中該等參考時脈為一第一參考時脈及一第二參考時脈，而當利用該參考時脈來產生該等輸出時脈時，係進行下列步驟：
根據該第一參考時脈的一個第一參考週期，移除該第二參考時脈中相位領先該第一參考週期的參考週期以產生一中介時脈，使該中介時脈中各參考週期之相位均落後該第一參考週期；以及
分別將該第一參考時脈及該中介時脈除頻，以產生該兩個輸出時脈。

10. 一多重相位產生電路，用來產生兩個頻率相同之輸出時脈，並使兩輸出時脈間具有一預設之輸出相位差，該多重相位產生電路包含有：
一時脈產生器，用來產生兩個頻率相同的參考時脈，並使兩參考時脈間具有一預設之參考相位差，且該參考時脈之頻率為該輸出時脈頻率之複數倍，使該等參考時脈之頻率實質高於該等輸出時脈之頻率，其中每一參考時脈具有複數個參考週期；以及
一相位內插器，用來在每一參考時脈中，根據相隔至少一參考週期的複數個參考週期來觸發一對應輸出時脈中之各週期，以利用該兩個參考時脈分別產生出該兩個輸出時

六、申請專利範圍

脈。

11. 如申請專利範圍第10項之多重相位產生電路，其中該等參考時脈為一第一參考時脈及一第二參考時脈，而該相位內插器包含有：
一序向觸發模組，用來根據該第一參考時脈的一個第一參考週期，移除該第二參考時脈中相位領先該第一參考週期的參考週期以產生一中介時脈，使該中介時脈中各參考週期之相位均落後該第一參考週期；以及
一除頻模組，用來將該第一參考時脈及該中介時脈除頻，以產生該兩個輸出時脈。

12. 如申請專利範圍第11項之多重相位產生電路，其中該第一參考時脈係領先該第二參考時脈該參考相位差。

13. 如申請專利範圍第10項之多重相位產生電路，其中該等參考時脈中為一第一參考時脈及一第二參考時脈，而該相位內插器包含有：
一序向觸發模組，用來根據該第一參考時脈的一個第一參考週期以在該第二參考時脈中找出一個相位落後該第一參考週期的第二參考週期，並在對應該第二參考週期之時間產生一對應的重設訊號；
一第一除頻器，用來將該第一參考時脈除頻以產生一輸出時脈；以及



六、申請專利範圍

一 第二除頻器，用來在接收該重設訊號後開始對該第二參考時脈除頻以產生另一輸出時脈。

14. 如申請專利範圍第13項之多重相位產生電路，其中該第一除頻器及該第二除頻器係上升緣觸發之除頻器。

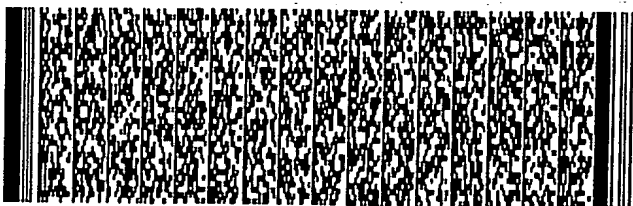
15. 如申請專利範圍第10項之多重相位產生電路，其中該參考時脈之頻率為該輸出時脈頻率之整數倍。

16. 如申請專利範圍第10項之多重相位產生電路，其中該參考相位差亦為該輸出相位差之複數倍，使得該參考相位差與該輸出相位差之比值、該參考時脈頻率與該輸出時脈頻率之比值兩者相等。

17. 一種分割相位的方法，用來產生兩個頻率相同之輸出時脈，並使兩輸出時脈間具有一預設之輸出相位差，該方法包含有：

產生一參考時脈，其中該參考時脈之頻率為該輸出時脈頻率之複數倍，使該等參考時脈之頻率實質高於該等輸出時脈之頻率；而該參考時脈具有複數個參考週期；以及根據該參考時脈不同的參考週期來觸發不同輸出時脈中之週期，以分別產生出該兩個輸出時脈。

18. 如申請專利範圍第17項之方法，其中該輸出相位差實



六、申請專利範圍

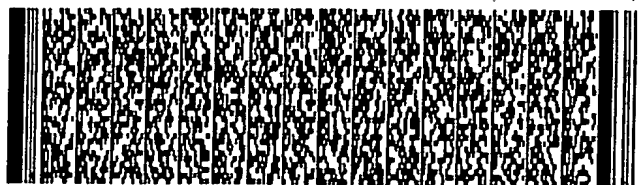
質上不等於 360° 。

19. 如申請專利範圍第 17 項之方法，其中該輸出相位差實質上不等於 180° 。

20. 如申請專利範圍第 17 項之方法，其中若該參考時脈之頻率為該輸出時脈頻率之 N 倍，該輸出相位差則為 $(360/N)$ 度之複數倍。

21. 如申請專利範圍第 17 項之方法，其中當根據該參考時脈不同之參考週期來觸發不同輸出時脈之週期時，係由該參考時脈中一第一參考週期開始除頻以產生一輸出時脈，再由該參考時脈中一落後該第一參考週期之第二參考週期開始除頻，以產生另一輸出時脈。

22. 如申請專利範圍第 17 項之方法，其另可用來產生一第三輸出時脈，其中該第三輸出時脈與該兩個輸出時脈之頻率相等但相位互異，而該方法另包含有：
產生一第二參考時脈，使該第二參考時脈與該參考時脈頻率相等，且該參考時脈及該第二參考時脈間具有一參考相位差；以及
根據該第二參考時脈中的各週期來觸發該第三輸出時脈中的各週期。



六、申請專利範圍

23. 一種光碟機，其包含有：

一多重相位產生電路，用來提供兩個頻率相同之輸出時脈，並使兩輸出時脈間具有一預設之輸出相位差，該多重相位產生電路包含有：

一時脈產生器，用來產生兩個頻率相同的參考時脈，並使兩參考時脈間具有一預設之參考相位差，且該參考時脈之頻率為該輸出時脈頻率之複數倍，使該等參考時脈之頻率實質高於該等輸出時脈之頻率，其中每一參考時脈具有複數個參考週期；以及

一相位內插器，用來在每一參考時脈中，根據相隔至少一參考週期的複數個參考週期來觸發一對應輸出時脈中之各週期，以利用該兩個參考時脈分別產生出該兩個輸出時脈；以及

一讀取頭，用來根據該多重相位產生電路提供的輸出時脈對一光碟片進行資料存取。

24. 如申請專利範圍第23項之光碟機，其中該等參考時脈為一第一參考時脈及一第二參考時脈，而該相位內插器包含有：

一序向觸發模組，用來根據該第一參考時脈的一個第一參考週期，移除該第二參考時脈中相位領先該第一參考週期的參考週期以產生一中介時脈，使該中介時脈中各參考週期之相位均落後該第一參考週期；以及

一除頻模組，用來將該第一參考時脈及該中介時脈除頻，



六、申請專利範圍

以產生該兩個輸出時脈。

25. 如申請專利範圍第24項之光碟機，其中該第一參考時脈係領先該第二參考時脈該參考相位差。

26. 如申請專利範圍第23項之光碟機，其中該等參考時脈中為一第一參考時脈及一第二參考時脈，而該相位內插器包含有：

一序向觸發模組，用來根據該第一參考時脈的一個第一參考週期以在該第二參考時脈中找出一個相位落後該第一參考週期的第二參考週期，並在對應該第二參考週期之時間產生一對應的重設訊號；

一第一除頻器，用來將該第一參考時脈除頻以產生一輸出時脈；以及

一第二除頻器，用來在接收該重設訊號後開始對該第二參考時脈除頻以產生另一輸出時脈。

27. 如申請專利範圍第26項之光碟機，其中該第一除頻器及該第二除頻器係上升緣觸發之除頻器。

28. 如申請專利範圍第23項之光碟機，其中該參考時脈之頻率為該輸出時脈頻率之整數倍。

29. 如申請專利範圍第23項之光碟機，其中該參考相位差



六、申請專利範圍

亦為該輸出相位差之複數倍，使得該參考相位差與該輸出相位差之比值、該參考時脈頻率與該輸出時脈頻率之比值兩者相等。



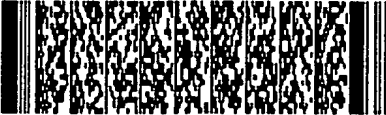
第 1/49 頁



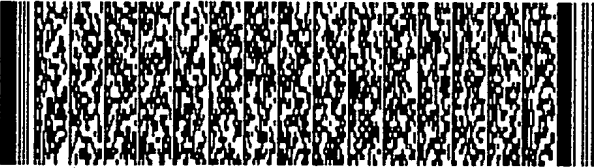
第 3/49 頁



第 5/49 頁



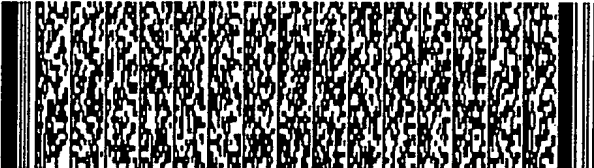
第 6/49 頁



第 7/49 頁



第 8/49 頁



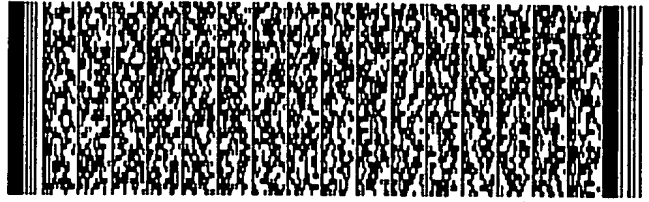
第 9/49 頁



第 10/49 頁



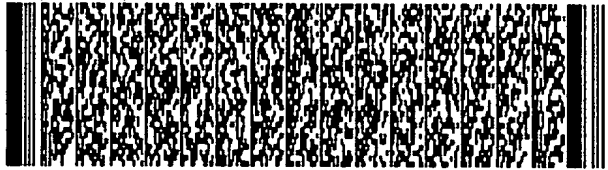
第 2/49 頁



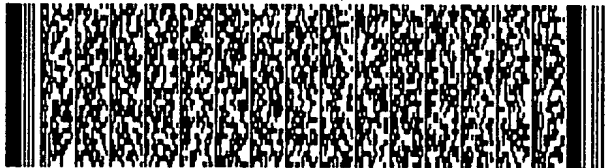
第 4/49 頁



第 6/49 頁



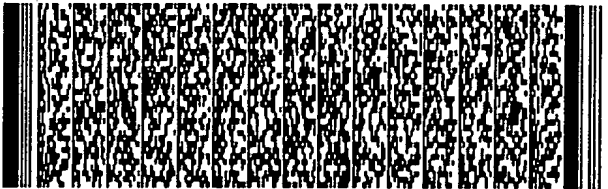
第 7/49 頁



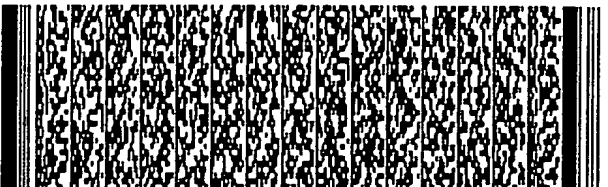
第 8/49 頁



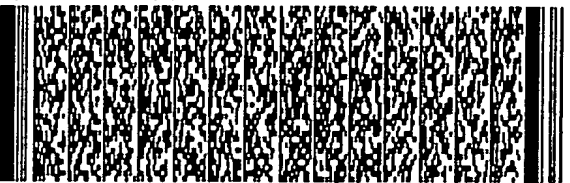
第 9/49 頁



第 10/49 頁



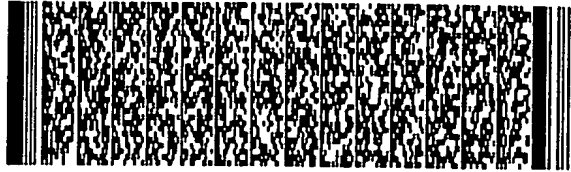
第 11/49 頁



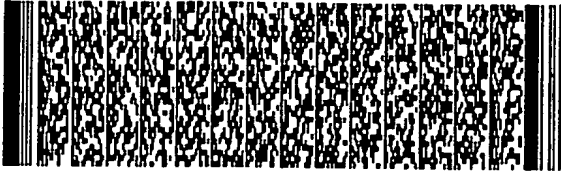
第 11/49 頁



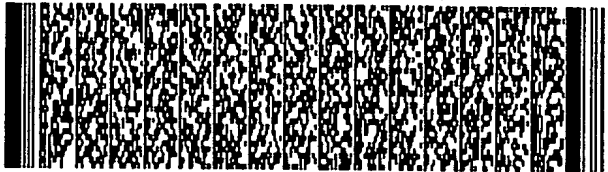
第 12/49 頁



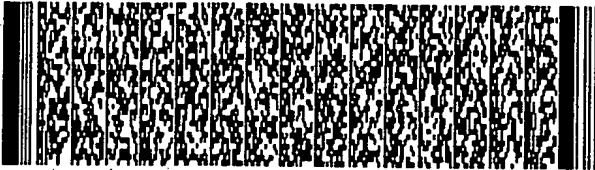
第 12/49 頁



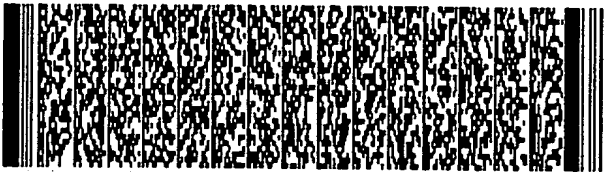
第 13/49 頁



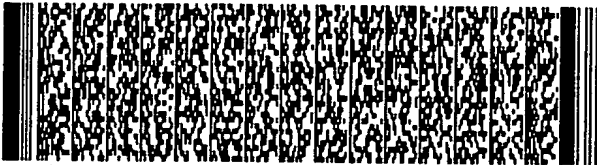
第 13/49 頁



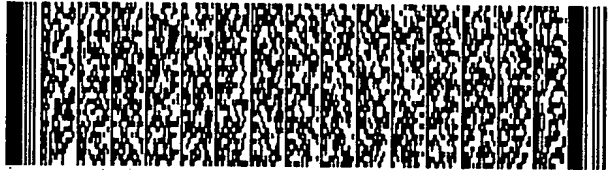
第 14/49 頁



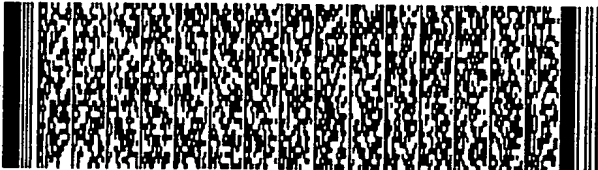
第 14/49 頁



第 15/49 頁



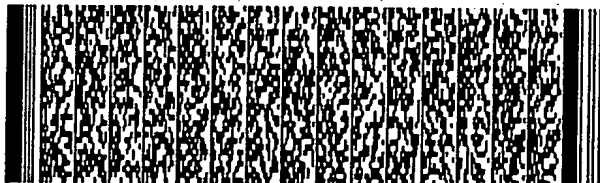
第 15/49 頁



第 16/49 頁



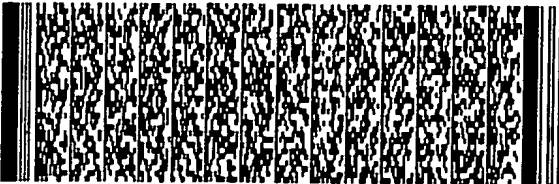
第 16/49 頁



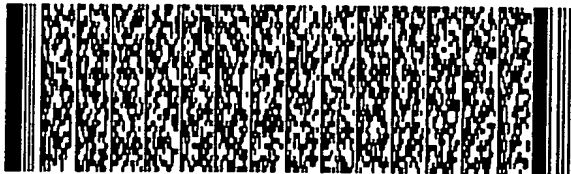
第 17/49 頁



第 17/49 頁



第 18/49 頁



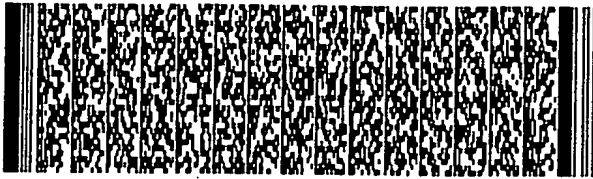
第 18/49 頁



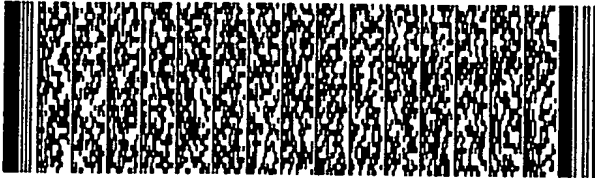
第 19/49 頁



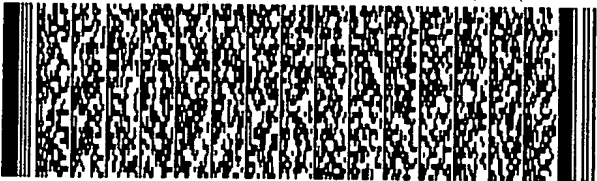
第 19/49 頁



第 20/49 頁



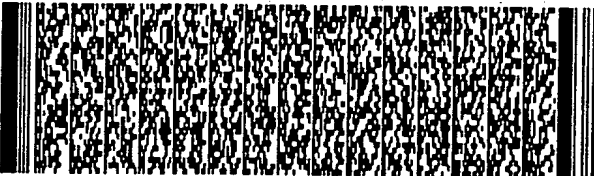
第 21/49 頁



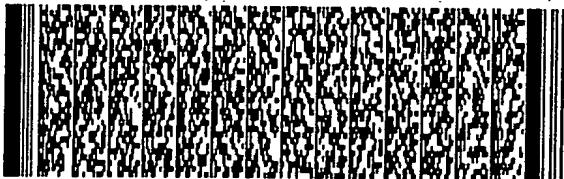
第 22/49 頁



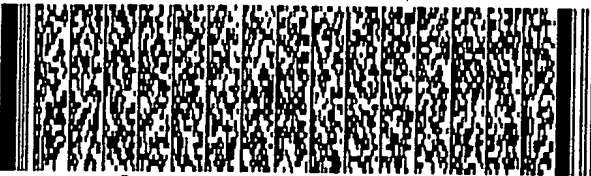
第 23/49 頁



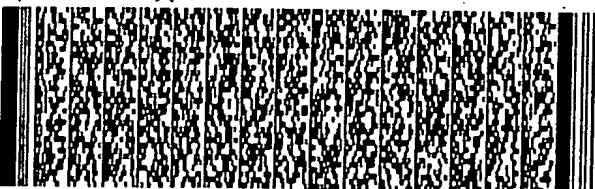
第 24/49 頁



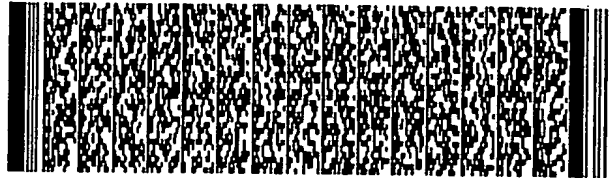
第 25/49 頁



第 26/49 頁



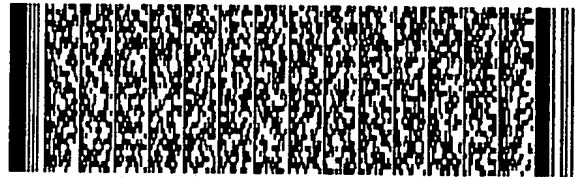
第 20/49 頁



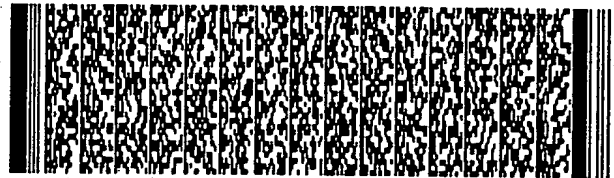
第 21/49 頁



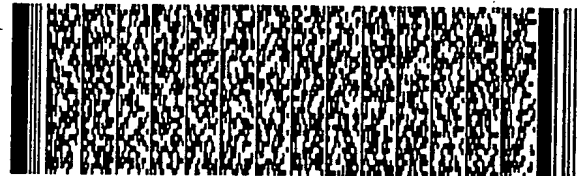
第 22/49 頁



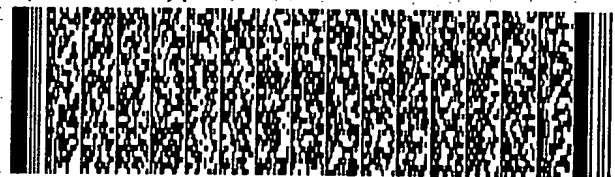
第 23/49 頁



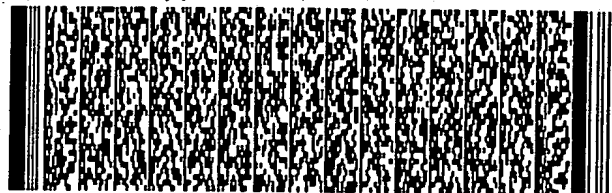
第 24/49 頁



第 25/49 頁



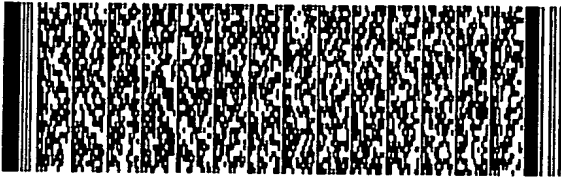
第 26/49 頁



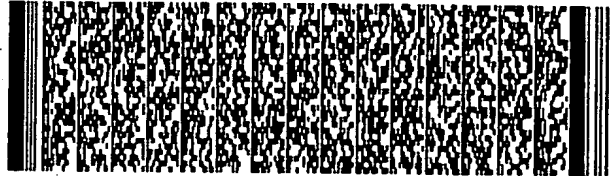
第 27/49 頁



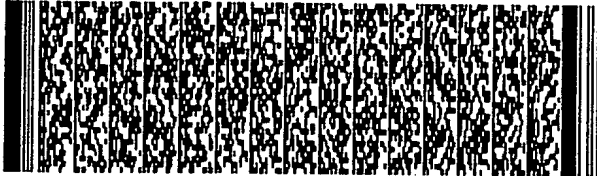
第 27/49 頁



第 28/49 頁



第 28/49 頁



第 29/49 頁



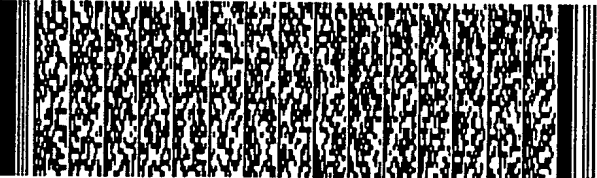
第 29/49 頁



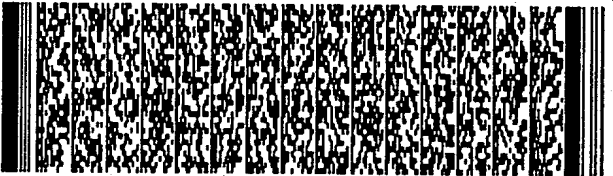
第 30/49 頁



第 30/49 頁



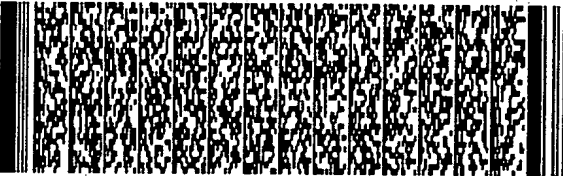
第 31/49 頁



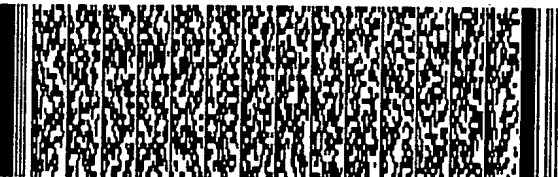
第 31/49 頁



第 32/49 頁



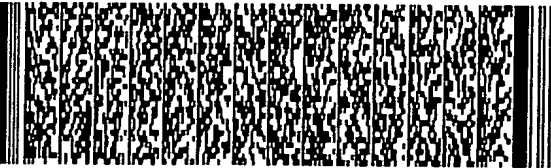
第 32/49 頁



第 33/49 頁



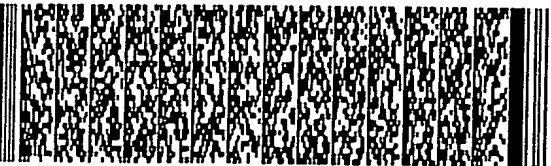
第 33/49 頁



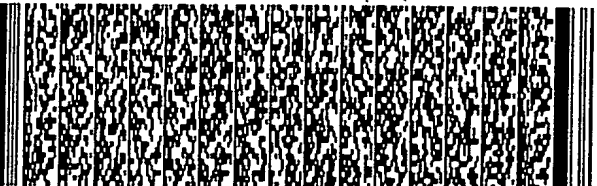
第 34/49 頁



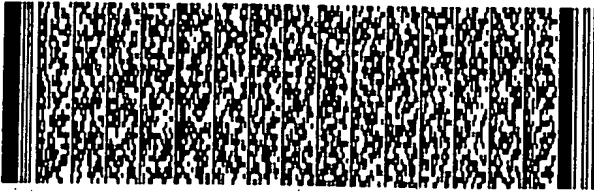
第 34/49 頁



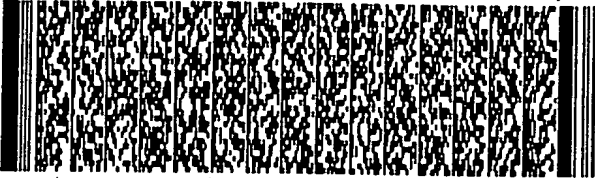
第 35/49 頁



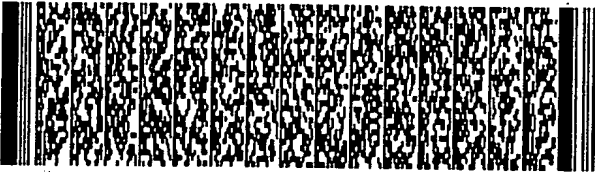
第 35/49 頁



第 36/49 頁



第 37/49 頁



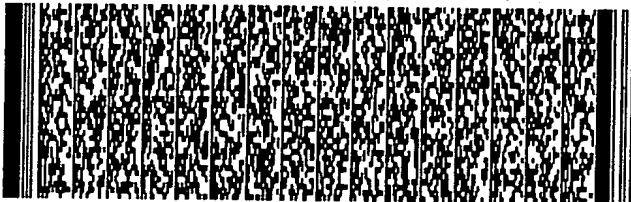
第 38/49 頁



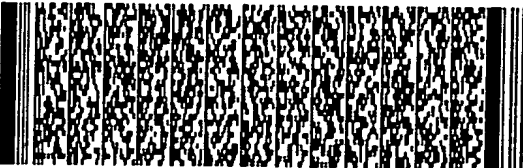
第 40/49 頁



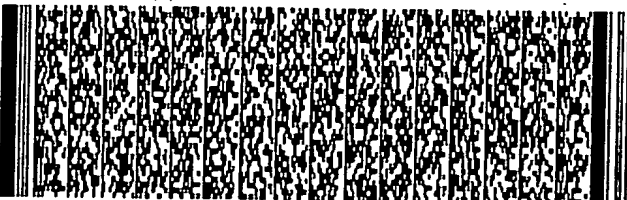
第 42/49 頁



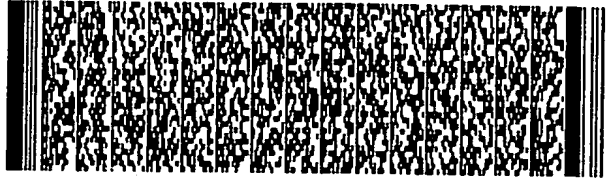
第 43/49 頁



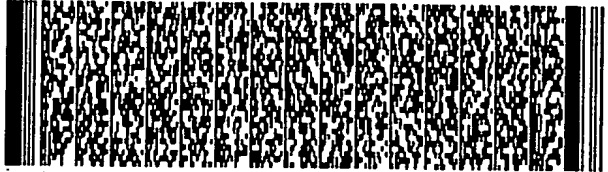
第 45/49 頁



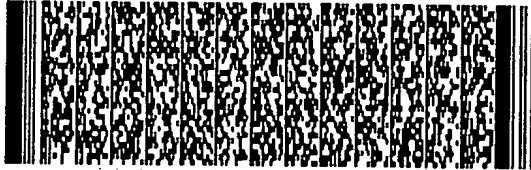
第 36/49 頁



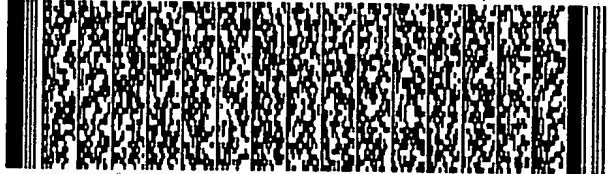
第 37/49 頁



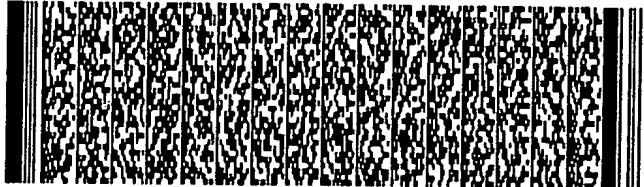
第 38/49 頁



第 39/49 頁



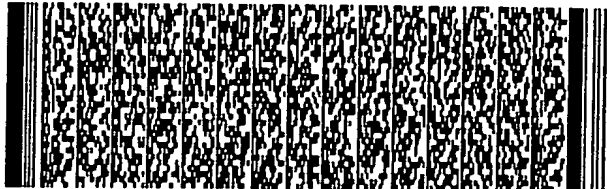
第 41/49 頁



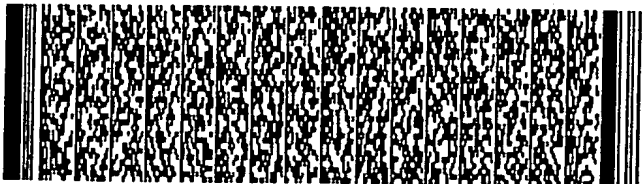
第 43/49 頁



第 44/49 頁



第 46/49 頁



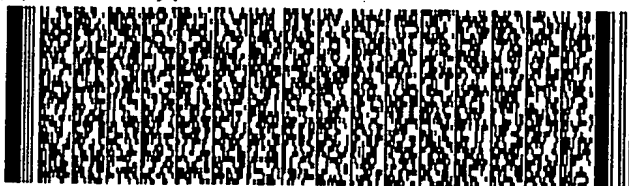
第 47/49 頁



第 47/49 頁



第 48/49 頁



第 49/49 頁

